

密级： 公开



上海科技大学
ShanghaiTech University

硕士学位论文

低阈值电压闪存单元的结构设计与工艺研究

作者姓名： 张伟岩

指导教师： 祝智峰 助理教授

上海科技大学信息科学与技术学院

学位类别： 工学硕士

一级学科： 电子科学与技术

学校/学院名称： 上海科技大学信息科学与技术学院

2023 年 6 月

**The structure design and process research of
a new flash memory cell with low threshold voltage**

**A thesis submitted to
ShanghaiTech University
in partial fulfillment of the requirement
for the degree of
Master of Science in Engineering
in Electronic Science and Technology**

By

Zhang Weiyan


Supervisor: Professor Zhu Zhifeng

**School of Information Science and Technology
ShanghaiTech University**

June, 2023

上海科技大学
研究生学位论文原创性声明


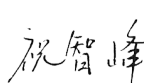
本人郑重声明: 所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知, 除文中已经注明引用的内容外, 本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体, 均已在文中以明确方式标明或致谢。

作者签名: 
日期: 2023.6.9

上海科技大学
学位论文授权使用声明

本人完全了解并同意遵守上海科技大学有关保存和使用学位论文的规定, 即上海科技大学有权保留送交学位论文的副本, 允许该论文被查阅, 可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容, 可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名: 	导师签名: 
日期: 2023.6.9	日期: 2023.6.9

摘要

近些年来，嵌入式分栅闪存因其高读取速率和可靠性被广泛运用在便携式电子设备、汽车电子等代码存储场景中。分栅闪存的读取是通过在字线施加读取电压，检测位线电流大小实现的。然而对于传统的分栅闪存单元来说，擦除操作也需要在字线加电压。擦除时的电压要求很高，这就需要字线下有较厚的栅氧化层来承受高压，进而提升了读取阈值。闪存单元不能直接在外围电压下进行读取操作，而需要调用电荷泵来倍增电压，这降低了读取的速率，也提升了闪存的功耗。基于此，本文提出了一种低阈值电压的新型分栅闪存单元，并对其结构与工艺进行了如下研究：

在新型闪存单元的设计方面，本文提出了一个新型的闪存单元结构，与传统结构相比，该新单元增加了一个承受高压的擦写栅，字线氧化层无需再承受高压，其栅介质厚度得以大幅降低至 24\AA ，读取电压也从传统分栅闪存的 2.5V 降至 1.5V ；设计了两种具有不同浮栅形貌的新结构方案并与传统的分栅闪存结构进行电学参数的对比，总结了新结构在读取操作和可靠性上的优势；规划了阵列排布和源线的连接方式，源线不再通过传统的多晶硅方式引出，而是直接通过形成的“H”型有源区直连的形式引出，解决了源线与擦写栅的位置冲突；分析并总结了源结在编程时可能发生的三种击穿及击穿电压的影响因素，这对闪存的可靠性研究和后续的工艺调节具有重要意义。

在新型闪存单元的工艺方面，本文阐述了一套全新的自对准工艺流程，实现了擦写栅的形成以及整体结构的制造，且结构紧致；分析了版图规划以及光刻条件对源线连通性的影响，总结了四种不同条件下对应的“H”型有源区形貌；全面分析了阱掺杂、口袋型掺杂及浅掺杂漏的扩散对“1”电流读窗口的影响，其中适当调节口袋型掺杂浓度可以有效降低阈值电压，改善了读窗口；研究了源结掺杂条件对源结的扩散以及击穿电压的影响，磷和砷共同掺杂可以在保证结浓度的情况下加大扩散范围，在高浓度砷和低浓度磷同时注入的情况下，磷注入量的适当增加可提升击穿电压。

本文提出的低阈值电压的新型分栅闪存单元在进行读取操作时无需电荷泵倍增电压，可直接利用外围驱动电压进行，这提升了读取速率，也降低了电路功

耗, 更适合便携式电子设备的应用。本文对源结击穿电压、字线阈值电压、和有源区连接的研究也对闪存的制造工艺优化以及参数提升具有重要意义。

关键词: 分栅闪存, NOR 型闪存, 低电压读取, 自对准工艺

Abstract

Nowadays, split-gate embedded flash memory is widely used as code storage media in portable electronic devices and automotive electronics. It has high read efficiency and reliability. A split-gate flash cell can be read by applying a reading voltage on the word line and detecting the magnitude of the bit line current. However, the conventional flash cell have high read threshold and cannot be read directly under the peripheral voltage. So charge pumps are necessary to multiply the voltage, which reduces the read efficiency and increases the power consumption of the flash memory. Based on this, a new split-gate flash memory cell with low threshold voltage is proposed in this thesis, and the concerning studies are summarized in two parts including design and process as follows:

In the design part of the thesis, a new type of flash memory cell structure has been developed. Compared with the traditional structure, a high-voltage erasure/program gate (EPG) is added for erasing. The word line oxide no longer needs to withstand high voltage, and its thickness is greatly reduced to 24Å, thereby reducing the read voltage from 2.5V to 1.5V. Two new structure schemes with different floating gate profiles are designed. Compared with the traditional split-gate flash memory structure, the new structure shows advantages in read operations and reliability. The array layout and the connection scheme of the source line are also planned in this work. The source line is no longer conventionally drawn out through a polysilicon, but is directly drawn out through a formed "H"-shaped active area, solving the problem of the positional conflict between the source line and the EPG. Three kinds of breakdowns that may occur in the source junction and the influencing factors of the breakdown voltage are analyzed and summarized, which is of great significance in the reliability and process studies.

In the process part of the thesis, a new self-aligned process flow is designed. The formation of the EPG and the manufacture of the overall structure are realized compactly. The impact of layout planning and lithography conditions on the line connectivity are analyzed, and the corresponding "H" type active region morphology under four

different conditions are summarized. The effect of memory well doping, pocket doping and lightly doped drain diffusion on the "1" current read window are comprehensively studied. The threshold voltage can be reduced and the read window can be improved by properly adjusting the pocket implantation concentration. The influence of source junction doping conditions on source junction diffusion and breakdown voltage is also studied. Co-doping of phosphorus and arsenic can increase the diffusion range while ensuring the junction concentration. In the case of simultaneous implantation of high-concentration arsenic and low-concentration phosphorus, an appropriate increase in the amount of phosphorus implantation can increase the breakdown voltage.

The new split-gate flash memory cell with low threshold voltage proposed in this thesis can be directly read with the peripheral drive voltage. Thus, the charge pumps are not needed to multiply the voltage during the read operation, which improves the read efficiency and reduces the power consumption of the circuit. The new structure is more suitable for portable electronic devices. Additionally, the study of the effect of process parameters on source junction breakdown voltage, read window, and active region connection in this paper is also of great significance to the optimization of parameters and the improvement of the manufacturing process for a flash memory cell.

Key Words: Split gate flash cell, NOR flash, low read voltage, self-alignment process

目 录

第 1 章 绪论	1
1.1 研究背景	1
1.1.1 经典的非易失性存储器	1
1.1.2 一些新型非易失性存储器	3
1.2 闪存存储器的分类及研究现状	5
1.2.1 浮栅式闪存和电荷俘获式闪存	5
1.2.2 与非式闪存与或非式闪存	6
1.2.3 叠栅式闪存和分栅式闪存	7
1.3 本文研究目的与意义	10
1.4 本文的主要内容与结构	11
第 2 章 浮栅式分栅闪存的原理和性能指标	12
2.1 闪存单元原理	12
2.1.1 存储与读出原理	12
2.1.2 编程与擦除原理	13
2.2 闪存单元的电学参数和可靠性指标	17
2.2.1 电学参数	17
2.2.2 耐久性	19
2.2.3 数据保持性	20
2.2.4 抗串扰能力	21
2.3 本章小结	23
第 3 章 低阈值分栅闪存单元结构设计与电学参数研究	24
3.1 基本结构	24
3.1.1 新增擦写栅	24
3.1.2 减薄字线氧化层	25
3.1.3 浮栅形貌	26
3.2 阵列设计	27
3.3 基础电学参数和可靠性分析	29
3.3.1 读电流	29
3.3.2 耐久性	30
3.3.3 数据保持性	31
3.3.4 抗串扰能力	32

3.4 击穿电压与操作条件优化	34
3.4.1 穿通和雪崩击穿	34
3.4.2 位线电压对源结击穿电压的影响	35
3.4.3 绝缘介质击穿	36
3.5 本章小结	39
第 4 章 低阈值闪存单元制造流程与工艺参数研究	40
4.1 闪存单元的制造	40
4.1.1 新结构主要制造工艺	40
4.1.2 工艺流程	44
4.1.3 端头的形成	46
4.2 工艺参数的调节	47
4.2.1 版图规划对源线连接的影响	47
4.2.2 光刻参数对源线连接的影响	50
4.2.3 字线下三种掺杂对读电流窗口的影响	53
4.2.4 源结掺杂分布与击穿电压关系	57
4.3 本章小结	65
第 5 章 总结与展望	67
5.1 工作内容及创新点	67
5.2 后续工作展望	68
参考文献	71
致谢	77
作者简历及攻读学位期间发表的学术论文与研究成果	79

图形列表

1.1 闪存存储器的诞生	2
1.2 几种新型 NVM 概念图	3
1.3 浮栅式闪存和电荷俘获式闪存	5
1.4 与非式闪存和或非式闪存	7
1.5 几种主要的分栅式闪存结构	9
2.1 闪存存储和读出原理	13
2.2 三种分栅闪存写入方法	14
2.3 源端热电子注入原理	16
2.4 器件击穿失效曲线	18
2.5 多次擦写导致的“1”电流温度系数发生改变	20
2.6 分栅闪存串扰机理 ^[50]	22
3.1 新型的低阈值电压闪存单元的结构	25
3.2 新结构的两种形貌方案	26
3.3 低阈值电压分栅闪存阵列	27
3.4 新结构中源线连线方式	28
3.5 阵列电镜下图像	28
3.6 三种结构的读电流曲线	29
3.7 耐久性测试曲线	30
3.8 新结构的数据保持性测试曲线	31
3.9 列串扰测试结果	33
3.10 行串扰测试结果	33
3.11 源结加压时的源线和位线电流	34
3.12 位线电压对源结击穿电压的影响	35
3.13 源结加高压致绝缘介质击穿的电流曲线	37
3.14 击穿前后的 $I_{bl}-V_{bl}$ 曲线	37
3.15 氧化层击穿后的电流分配	38
4.1 新结构的主要制造工艺步骤	40
4.2 用作隔离的高粘附性原位水汽氧化层	41
4.3 新结构制造工艺流程	46
4.4 光学仿真图和电镜图	46

4.5 H-bar 的四种形成情况	47
4.6 H-bar 版图设计宽度与实际光刻显影后量测 (ADI) 的宽度仿真值的关系	48
4.7 H-bar 与 ACT 版图设计距离与实际光刻显影后量测 (ADI) 的宽度仿真值的关系	48
4.8 H-bar 断裂点的分布	49
4.9 有源区光刻显影后形貌和关键尺寸的焦深-光强矩阵图	50
4.10 有源区刻蚀后形貌及关键尺寸的焦深-光强矩阵图	51
4.11 H-bar 光刻显影后形貌和关键尺寸的焦深-光强矩阵图	51
4.12 H-bar 刻蚀后形貌及关键尺寸的焦深-光强矩阵图	52
4.13 OPC 修正效果	52
4.14 OPC 前后的 H-bar 变化	53
4.15 新结构的掺杂形貌	54
4.16 不同 MW 浓度下读电流曲线	55
4.17 不同 POC 浓度下读电流曲线	56
4.18 不同 LDD 浓度下读电流曲线	57
4.19 不同 P 和 As 注入条件下的掺杂形貌	61
4.20 载流子浓度的分布	62
4.21 不同样本对应击穿电压的 WAT 测试均值	63
4.22 不同样本集的阅读电流均值	64
4.23 5 个样本所有点的字线阈值电压分布	65

表格列表

2.1 分栅闪存串扰机理·····	22
3.1 外围电压与栅氧化层厚度对应关系·····	26
3.2 分栅闪存串扰测试条件·····	32
4.1 字线下杂质注入实测样本集·····	54
4.2 磷注入剂量与击穿电压和有效沟道长度关系·····	58
4.3 源结注入仿真样本集·····	59
4.4 源结注入实测样本集·····	62

缩略词汇集表

缩写	全称	含义
MOS	Metal Oxide Semiconductor	金属氧化物半导体
NVM	Non-Volatile Memory	非易失性存储器
SRAM	Static Random Access Memory	静态随机存取存储器
DRAM	Dynamic Random Access Memory	动态随机存取存储器
ROM	Read Only Memory	只读存储器
MROM	Mask ROM	掩膜只读存储器
PROM	Programmable ROM	可编程的只读存储器
MIMIS	Metal-Insulator-Metal-Insulator-Silicon	金属—绝缘体—金属—绝缘体—硅
FAMOS	Floating-gate Avalanche-injection MOS	基于浮栅雪崩击穿注入的金属氧化物半导体结构
EPROM	Erasable PROM	可擦除可编程的只读存储器
EEPROM	Electrically EPROM	电可擦除可编程的只读存储器
ISSCC	International Solid-State Circuit Conference	国际固态电路会议
IEDM	International Electron Device Meeting	国际电子器件会议
FLOTOX	FLOating gate Tunnel OXide	浮栅隧穿氧化层
CG	Control Gate	控制栅
EG	Erase Gate	擦除栅
FG	Floating Gate	浮栅
ETOX	Erasable Tunnel OXide	可擦除的隧穿氧化物
PCM	Phase-Change Memory	相变存储器

MRAM	Magneto-resistive Random Access Memory	磁性随机存取存储器
RRAM	Resistive Random Access Memory	阻变式随机存取存储器
MLC	Multi-Level Cell	多层单元（结构）
MTJ	Magnetic Tunnel Junction	磁性隧道结
TMR	Tunneling Magnet-Resistive	隧道磁阻
STT-MRAM	Spin-Transfer Torque MRAM	基于自旋转移力矩的磁性随机存储器
IPD	Inter Poly Dielectric	多晶硅层间介质
CT	Contact	接触孔
MNOS	Metal-Nitride-Oxide-Semiconductor	金属—氮化物—氧化物—半导体
SONOS	Silicon-Oxide-Nitride-Oxide-Silicon	硅—氧化物—氮化物—氧化物—半导体
MONOS	Metal-Oxide-Nitride-Oxide-Silicon	金属—氧化物—氮化物—氧化物—半导体
ECC	Error Correction Coding	差错修正编码
SST	Silicon Storage Technology	硅存储技术
ESF	Embedded SuperFlash	嵌入式超级闪存
FDSOI	Fully Depleted Silicon-On-Insulator	全耗尽型绝缘体上硅
HKMG	High-K-Metal-Gate	高介电常数值栅绝缘介质配合金属栅结构
SCE	Short Channel Effect	短沟道效应
FinFET	Fin-shaped Field Effect Transistor	鳍型场效应管
SG	Select Gate	选择栅
MG	Memory Gate	记忆栅
IoT	Internet Of Things	物联网
EPG	Erase-Program Gate	擦写栅
WAT	Wafer Acceptance Test	晶圆可接收性测试
CP	Chip Probe	芯片探针

LDD	Lightly Doped Drain	浅掺杂漏极
POC	POCKET	口袋型掺杂区域
BV	Breakdown Voltage	击穿电压
FNT	Fowler-Nordheim Tunneling	F-N 隧穿
CHEI	Channel Hot Electron Injection	沟道热电子注入
SSHEI	Source-Side Hot Electron Injection	源端热电子注入
BVDS	Breakdown Voltage of Drain to Source	击穿源漏电压
SILC	Stress-Induced Leakage Current	应力导致漏电流
AF	Acceleration Factor	加速因子
WL	Word Line	字线
BL	Bit Line	位线
SL	Source Line	源线
DR	Data Retention	数据保持性
PTR	Punch Through Row	行串扰/穿通
PTC	Punch Through Column	列串扰/穿通
ONO	Oxide-Nitride-Oxide	氧化物—氮化—氧化物
CMOS	Complementary Metal Oxide Semiconductor	互补金属氧化物半导体
STI	Shallow Trench Isolation	浅槽隔离
LOCOS	LOCAL Oxidation of Silicon	硅局部氧化
ISSG	In-Situ Steam Generation	原位水汽氧化
PECVD	Plasma-Enhanced Chemical Vapor Deposition	等离子体增强化学气相沉积
HDP-CVD	High Density Plasma Chemical Vapor Deposition	高密度等离子体（辅助的） 化学气相沉积
CD	Critical Dimension	关键尺寸
PEB	Post Exposure Bake	曝光后烘烤
FEM	Focus-Exposure Matrix	焦点—曝光强度矩阵
HTO	High Temperature Oxidation	高温氧化
DIBL	Drain-Induced Barrier Lowering	漏致势垒降低

GIDL	Gate-Induced Drain Leakage	栅致漏端泄露
ACT	ACTive	有源（区）
ADI	After Development Inspection	显影后量测
AEI	After Etch Inspection	刻蚀后量测
DoF	Depth of Focus	焦深
OPC	Optical Proximity Correction	光邻近修正

第 1 章 绪论

闪存存储器是非易失性存储器的一种，由于其具有集成度高、可靠性好、功耗低、易于制造等优点，成为了主流的非易失存储器件。近些年来，随着大数据与信息时代的到来，闪存存储器被广泛运用在大容量存储、万物互联（IoT）设备、汽车电子、机器学习、片上计算等一系列重要的场景中，不同的用途给闪存的存储密度、操作速度、功耗、可靠性等都提出了更高的要求，也激发了闪存技术的一次又一次革新^[1-5]。作为本文的绪论部分，本章将对闪存存储器的诞生过程做简要介绍，详细介绍闪存存储器的分类并分析每一类闪存的最新研究成果以及未来发展趋势，之后简要介绍其他新型非易失性存储器的研究现状，最后阐述本文的研究目的与研究意义。

1.1 研究背景

1.1.1 经典的非易失性存储器

存储器总体可分易失性存储器和非易失性存储器（NVM）两大类。所谓“易失”，是指存储器内部存储的信息在断电后不能够被保存而丢失，比如静态随机存取存储器（SRAM）和动态随机存取存储器（DRAM）两种，它们不能用于信息的长久保存。而 NVM 的存储不依赖于电的维持，断电数据也不会丢失，可以实现数据的长久保存。

最初的 NVM 是诞生于上个世纪 50 年代的掩膜只读存储器（MROM）。这类存储器公司可根据用户提供的信息定制软件掩膜版，在存储器的工艺制造流程中将该掩膜图形转移到芯片上，即将程序和芯片在实际上融合成了一个整体，即使断电也不会丢失。但这样生产周期长，存储成本高，且一旦制造完成后便难以纠错^[6]。在 1957 年，Bosch Arma 公司的美籍华裔科学家周文俊发明了一种新型的 NVM^[7]，它可以通过施加高压脉冲，改变存储器的物理构造，从而实现存储内容的一次修改（编程）。后来，英特尔等公司也研发了一种类似原理的存储器，允许用户通过手动“燃断”金属丝的方式将信息烧录进芯片中^[8]，这类存储器就是可编程的只读存储器（PROM）。但可烧录的编程单元是一次性的，所以许多

用户都用这种存储器来保存程序的最终代码。但一旦代码更新或写入有误，这个存储器就不能再被使用，这促进了可重复擦写的非易失性存储器的诞生。

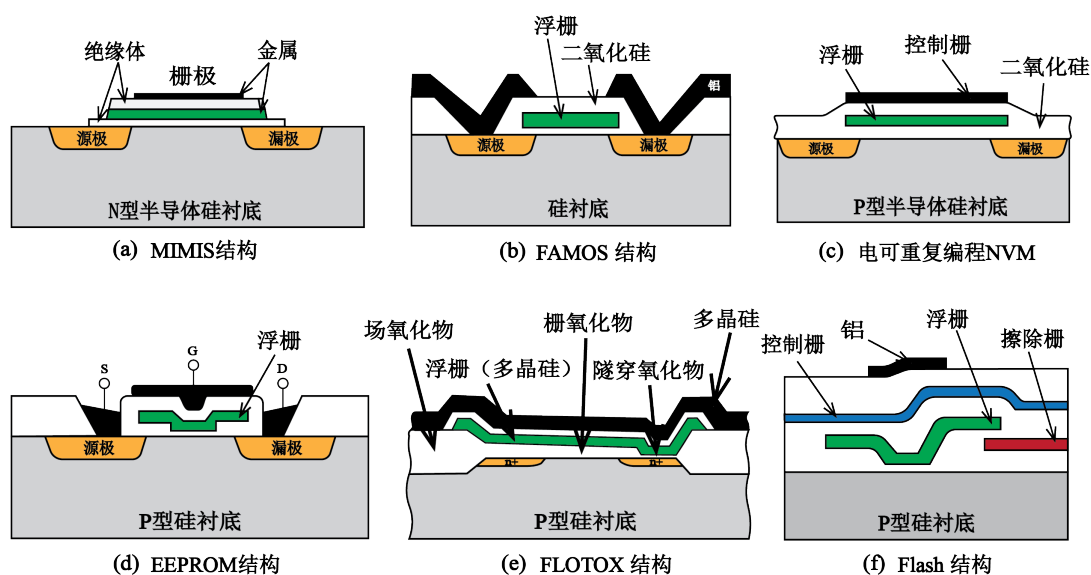


图 1.1 闪存存储器的诞生

Figure 1.1 The history of flash memory

1967 年，姜大元与华裔科学家施敏共同提出了 MIMIS 结构^[9]，如图 1.1 (a) 所示。这种结构利用了浮栅 (FG) 存储电子来保存信息，可以进行多次的读写操作。英特尔公司于 1971 年提出的 FAMOS 电荷存储器件也利用了这样的存储原理^[10]，如图 1.1 (b) 所示，这也是最早的可擦除可编程只读存储器 (EPROM)。但由于这种结构并没有导电的控制栅或 (CG) 擦除栅极 (EG)，所以擦除时要将整个芯片置于紫外光或者 X 射线下，这样就会产生从浮栅到衬底的感应电流促使浮栅释放电子。然而这样器件上就需加装石英窗，这增大了器件的成本和面积；而且擦除时一次照射会把整片芯片上所有内容不加选择地都擦除掉，这带来了许多不便^[11]。

1972 年，日本电工实验室的 Y. Tarui 等人提出了一种结构如图 1.1 (c) 所示的电可重复编程的非易失半导体存储器^[12]，实现了电擦除。随后在 1977 年，Eliyahu Harari 发明了一种基于浮栅结构的电可擦除可编程只读存储器 (EEPROM)^[13]，再一次极大地提高了存储器的数据保持时间和可靠性，其结构如图 1.1 (d) 所示。1980 年，英特尔公司的 William S. Johnson 等人在国际固态电路会议 (ISSCC) 上提出了一种新的 E²PROM 存储器结构 FLOTOX^[14]，如图 1.1 (e)

所示。该存储器的每个单元 (cell) 由一个存储单元和一个选择 MOS 管组成, 这样的结构避免了对选中单元操作时对非选中单元造成的干扰。但这样的按字节操作的方法极大降低了操作效率, 尤其是擦除的效率。而且这种结构也限制了尺寸的微缩, 导致存储成本较高。

直到 1984 年, 来自东芝半导体的舛冈富士雄在国际电子器件会议 (IEDM) 上分享了它的专利^[15], 一种快闪式的电可擦除可编程只读存储器 (Flash EEPROM), 其单元结构如图 1.1 (f) 所示。这种结构的沟道由浮栅和控制栅各控制一部分, 浮栅用于存储二进制数据, 控制栅则用来控制浮栅的读写操作, 另外新增了擦除栅来加速擦除。该结构运用了与 EPROM 相同的热电子注入机理进行编程, 但擦除则直接在擦除栅上加高压, 促使浮栅内电子隧穿至擦除栅以降低浮栅下沟道的阈值电压, 实现擦除。这种结构极大地节约了单元面积, 易于微缩。但与传统 EEPROM 的字节擦除方式不同, Flash EEPROM 的擦除操作按扇区进行, 一次加压可以擦除一整个扇区的内容, 大幅提升了擦除效率, 这也是“Flash”名字的由来。这两个显著优势使得 Flash EEPROM 得到了广泛的研究与应用。1988 年, 英特尔公司提出了更简洁的 ETOX 结构, 如图 1.3 (a)^[16]。此结构省去了擦除栅, 直接运用了浮栅和控制栅两层多晶硅实现了高效的读写操作, 降低了工艺复杂度和成本, 成为了标准的闪存单元结构。

1.1.2 一些新型非易失性存储器



图 1.2 几种新型 NVM 概念图

Figure 1.2 The emerging non-volatile memory

近些年来, 一些具有更高集成度、更低功耗或者更高可靠性的非硅基半导体的新型存储器件也在被陆续研发, 主要包括相变存储器 (PCM)、磁性随机存储

器 (MRAM) 和阻变式随机存储器 (RRAM), 图 1.2 展示了它们的概念图。

(a) 相变存储器

相变存储器是利用硫系玻璃在定型态与非定型态之间电阻不同来记录信息的。其存储单元由上下两电极、电阻及特殊材料构成, 特殊材料具有非定型态和定型态两种状态, 在非定型态的电阻率较高, 定型态电阻率较低。通过对材料施加一定大小和较长周期的电流, 使其温度处于结晶温度与熔点温度之间, 即可将其状态设定为定型态; 通过外加短周期电流脉冲使其温度高于熔点后并快速淬火冷却, 即可将材料重置为非定型态。这两种状态下电阻阻值具有至少两个数量级的差距, 这利于其在多层存储 (MLC) 中的运用。此外, PCM 还具有转换速度快, 耐久性高等优点, 在高速和非易失性存储领域具有很大潜力^[17]。然而, PCM 单元需要搭配一个选择晶体管来使用, 这限制了其尺寸的微缩。

(b) 磁性随机存取存储器

磁性随机存取存储器是一种利用材料不同的磁化方向带来不同的磁电阻来记录信息的非易失性存储器。其基本单元是由两层铁磁材料夹一层薄绝缘体形成的磁性隧道结 (MTJ) 构成。两层铁磁材料中, 其中一层的磁化方向的固定的, 另一层的磁化方向则由外加磁场控制。当上下两层材料磁化方向相同时, 电子可从隧穿过绝缘层, 整个单元具有较小电阻; 而当两层磁化方向相反时, 电阻较大, 这个现象即隧道磁阻效应 (TMR)。早期的 MRAM 通过施加大电流来产生磁场, 这限制了其在低功耗及高密度存储领域的运用。基于自旋转移力矩的磁性随机存储器 (STT-MRAM) 解决了这一问题, 其利用自旋极化的电子产生的力矩来直接扭转磁化方向, 这大幅度降低了所需电流的大小。与传统的半导体存储器相比, STT-MRAM 具有更高的写入速度 (35ns) 和出色的耐久性, 但其数据保持能力与电流大小密切相关, 这限制了其在高密度存储领域的应用^[18]。

(c) 阻变式存储器

阻变式存储器是由两层金属 (电极) 中间夹过渡金属氧化物组成。默认情况下金属氧化物并不导电, 所以整个器件呈高阻态。但当电极施加高压脉冲时, 金属氧化物中将会产生纳米级别的“导电丝”连通上下两个电极, 器件也会从高阻态转向低阻态, 这也被称为“电铸效应 (electroforming)”。根据导电丝成分的不同, RRAM 又可被细分为两种类型, 分别为导电桥 RRAM (CBRRAM) 和氧化物 RRAM (OXRRAM), 前者导电丝靠金属离子导电, 后者则是基于氧空位的出

现和氧离子的迁移。RRAM 具有低能耗和高写入速度 ($<1\text{ns}$) 两大优势, 是目前被认为最具潜力的闪存替代品, 但由于其原理复杂, 对工艺要求高, 所以量产成本很高^[19-20]。

除以上三种广泛被研究和试验的新型 NVM 外, 科研人员也提出了一些新兴的存储技术, 包括铁磁存储技术、碳基存储技术、莫特绝缘子存储器、大分子存储技术、分子存储^[21]等。然而, 这些技术虽然在某个方面极具潜力, 但还停留在概念阶段, 整体性能尚未得到充分研究^[22]。闪存存储器依旧是迄今为止用途最广可靠性最高且价格低廉的非易失性存储器。

1.2 闪存存储器的分类及研究现状

闪存存储器根据存储原理、电路拓扑结构、单元结构等不同方式可以进行不同分类。从信息存储原理的角度, 闪存可以分为浮栅式闪存和电荷俘获式闪存; 从阵列拓扑角度, 闪存可分为与非式 (NAND) 闪存和或非式 (NOR) 闪存; 从单元结构角度, 闪存可分为叠栅式闪存和分栅式闪存。下面将对各个类别的定义、用途、特点及研究现状做详细介绍。

1.2.1 浮栅式闪存和电荷俘获式闪存

所谓浮栅结构, 就是在传统 MOS 管的栅氧化层和衬底之间增加了一层氧化层和一个栅极。这个新增的栅极上面有氧化层与真正的栅极隔离开来, 下面也有一层氧化层覆盖沟道上, “浮”在了中间, 故称为“浮栅”。上述英特尔提出的 ETOX 结构即为浮栅式的闪存结构, 如图 1.3 (a) 所示。

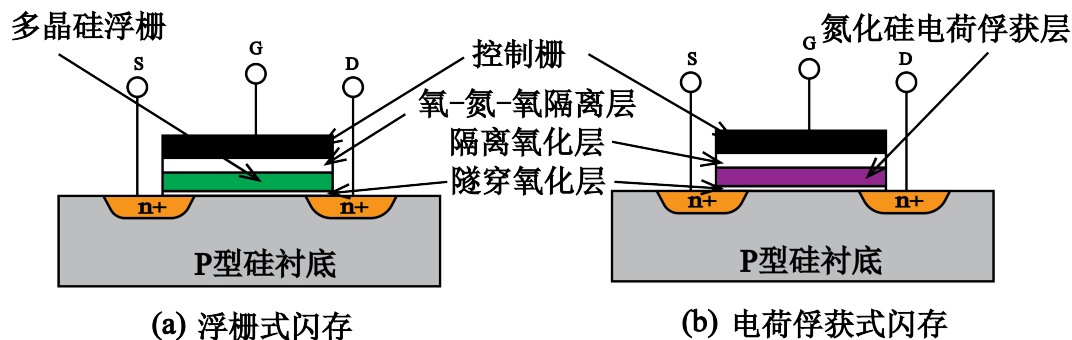


图 1.3 浮栅式闪存和电荷俘获式闪存

Figure 1.3 floating gate flash and charge trapped flash

它主要由衬底、耦合氧化层、浮栅、隔离氧化层、控制栅组成。其中两个栅极为导体（一般为多晶硅），上下两层氧化层则将浮栅绝缘。编程操作会将电子注入浮栅而不能流出，以此实现了存储的非易失性。擦除时则在控制栅直接加高压，使浮栅内的电子隧穿出隔离氧化层，实现擦除操作。这种闪存结构简单，效率高，但存在诸如浮栅干扰现象^[23]、多晶硅间介质（IPD）厚度难以缩小^[24]等劣势。另一方面，由于器件使用导体作为浮栅存储电荷，电子在浮栅中自由排布，所以只要隔离氧化层损坏，致使浮栅中出现了漏电通道，那浮栅中存储的电子会一次性全部漏出，这影响了其数据保存的可靠性。

电荷俘获式闪存从原理上规避了浮栅式闪存的缺点，它是利用某些材料存在的缺陷能级对电荷的俘获特性来设计制造的。目前广泛运用的电荷俘获式闪存包括 SONOS 和 MONOS 两种结构^[25-26]，二者均由衬底、隧穿氧化层、电荷俘获层、隔离氧化层及控制栅极组成，如图 1.3 所示。不同的是，SONOS 控制栅为半导体，MONOS 控制栅为金属。电荷俘获层最初为氮化硅，但近些年也引入了一些其他的电荷俘获能力更强的材料^[27-28]，它们都是一种绝缘体，但存在很多陷阱能级。编程操作可以使得电子隧穿注入该层的缺陷能级中而被俘获，上下两层氧化层同样阻止了电子的流失，从而实现了非易失性存储。但与导电的浮栅不同，存储在俘获层中的电荷大多是静止的。这也就是说，即使氧化层存在了漏电通道，那也只会造成局部漏电。所以电荷俘获式闪存具有更高的可靠性。另一方面，俘获层的引入可以大幅降低了氧化层厚度，从而降低了氧化层缺陷俘获电荷对阈值电压的影响^[29]，与浮栅结构比具有更优的耐久性。然而，这种结构在数据保持性上存在一些问题^[30-32]，这限制了其在高可靠性的嵌入式闪存中的应用。

1.2.2 与非式闪存与或非式闪存

与非闪存还是或非闪存，指的是闪存单元在阵列中的排列方法，运用了数字电路中的逻辑运算规律表示。所谓“与非”，即一列上的所有单元同时导通，位线才能读出电流，如图 1.4 (a)；而“或非”则相反，只要选中的列上有一个单元导通，位线即可读出电流，如图 1.4 (b) 所示。

与非式闪存的每个存储单元源漏相连，只在末端引出位线，所以其排列紧凑，易于微缩，而且写入速度快，集成度极高，成本低，所以特别适合大量数据的存储。其立体排布结构（3D-NAND）得到了卓越的发展，目前广泛用于内存

卡，固态硬盘等大容量独立式存储设备中^[33-34]。近些年来，许多公司都在尽可能开发先进的技术节点，并采用提高三维堆叠的存储单元层数、提升单位面积的闪存单元数量、采用新的闪存单元结构、导入全新的存储材料等多种途径来提升闪存的存储密度和可靠性^[35-39]。然而 NAND 闪存不具备随机读写的功能，而且其读出准确率不能够达到 100%，这限制了其在代码存储方面的运用，即使在数据存储方面，它也需要配有更复杂的主控电路或者一定数量的冗余单元^[40-41]。

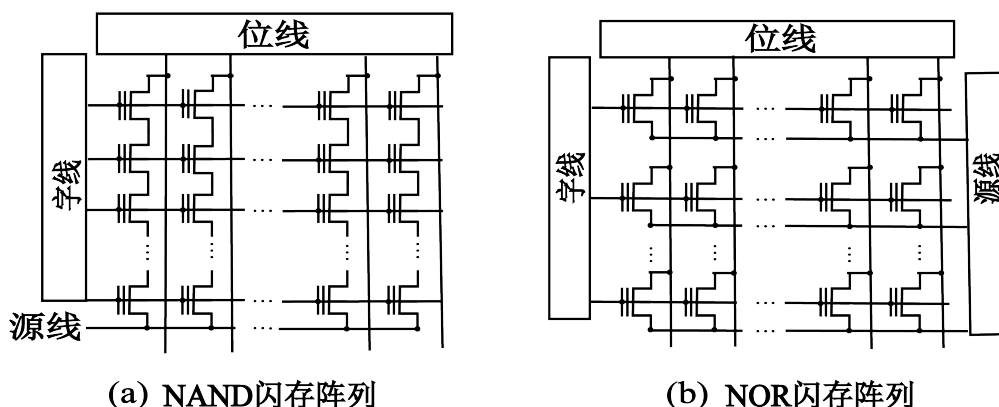


图 1.4 与非式闪存和或非式闪存

Figure 1.4 NAND flash and NOR flash

或非式闪存具有高速的随机读写功能，每个单元的漏端都会与位线直接相连，它的集成度远没有与非式闪存高，所以它的存储成本相对较高，但它具有极高的准确率^[40]。这样的拓扑结构可以用更小的元件数量实现更强大的功能，所以被广泛运用在智能卡、微控制器、代码存储等嵌入式场景中^[42-43]。NOR 型闪存除了图示的基本的 2D 排列方式外，针对特定的应用场景，研究人员也提出了其 3D 结构，称为 3D-AND 结构^[44]。该结构中所有位线和源线均被平行排布。它继承了 NOR flash 的高可靠性、低延迟等优点，又实现了 3D 结构的高存储密度，所以适合用于智能计算等场景^[45]。但事实上，与 3D-NAND 结构相比，三维的 NOR 型结构连接各个结所需 CT (Contact) 过多，工艺复杂且难以微缩，所以 NOR 型三维排布结构并非分栅闪存嵌入式应用场景下的最佳选择。

1.2.3 叠栅式闪存和分栅式闪存

传统的闪存存储器都是基于叠栅式的结构，即用于控制的控制栅与用于存储电荷的浮栅（或电荷俘获层）垂直堆叠放置。与 EEPROM 的双管（2T）结构

不同，叠栅式闪存单元结构简单，只需要一个双栅的晶体管就可以实现选中和读写等操作，所以也被归纳为单管（1T）结构。这样的结构极大的微缩了闪存单元的面积，降低了存储成本，适合大规模集成电路中大量数据存储的运用。

然而，叠栅式闪存存在着过擦除（Overerase）现象^[46]。即对于一些单元，由于浮栅和控制栅重叠在一起没有分离，且浮栅完全控制沟道，就会导致这个单元在没有电压偏置时就处于开启状态。那么在对别的单元进行读取的时候，位线探测到的电流就包括了这个单元产生的电流，从而导致读取结果发生错误。所以，叠栅式闪存存在擦除前需要预编程，以避免过擦除的发生。

分栅式闪存则从结构上解决了这个问题。它的方法就是将沟道的控制分给两个栅极，除浮栅外，另一部分沟道由其他栅极来控制。这样，即使一个单元进入了过擦除状态，浮栅控制的部分沟道已经反型，但只要另一个栅极没有偏置，其下方沟道就不会被开启，那么这个单元就不会有电流流出，从而解决了过擦除的问题，提高了准确率。因此，分栅式闪存存在嵌入式存储领域得到广泛的应用。

分栅闪存存储器还可分为两小类，分别是基于浮栅的结构和基于电荷俘获层的结构。本文新提出的低阈值电压闪存存储器属于浮栅型分栅存储器。分栅闪存目前主要由硅存储技术（SST）公司研发，其主要产品包括 ESF1、ESF2 和 ESF3 三代嵌入式存储单元结构，分别如图 1.5 (a) (b) 和 (c) 所示。其连续三代产品均在不同时期得到了广泛的应用，且可微缩性逐代增强^[47-49]。其中，ESF3 结构实现了 1.05V 的低电压的读取操作，但其新增了控制栅级，增加了工艺复杂度，降低了可靠性^[50-51]。此外，华虹宏力提出了一种更易于微缩的选择栅共享分栅结构^[52]，如图 1.5 (d)。这种结构通过自对准工艺形成，取消了传统的擦除栅，将两个位单元的选择栅放置在中间，同时起到选择和擦除的作用。同时取消了中间的源结结构，而是整个单元的两个位线结互为源漏，在进行不同的操作时，两个结所起到的功能有所不同。这样的结构极大地缩小了单元的面积，闪存单元面积已达 $0.042\mu\text{m}^2/\text{bit}$ 。分栅结构同样也避免了过擦除现象，控制栅不但可以用于编程时产生耦合电压，还可以辅助擦除。与 SST 三代单元都不同的是，这款结构采用了反向读取的方法进行读取操作。读取左边单元时，在右边位单元的控制栅加偏置电压，以测量位线电流，这中读取方式提升了读操作的效率和可靠性，但也会受到“第二比特效应”的影响，且读取时同时需要正压和负压，读取

所需电压较大，且读取窗口小^[53]。

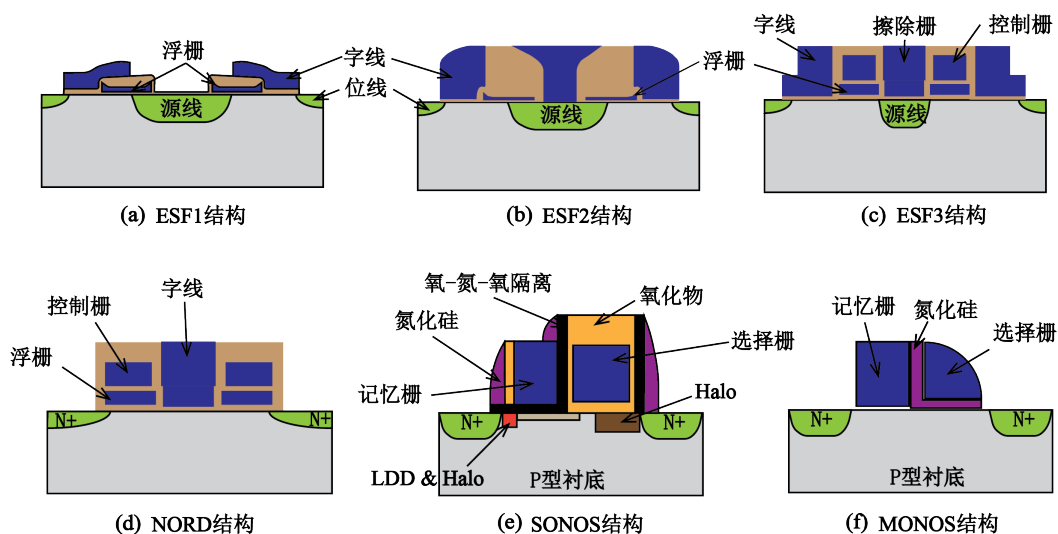


图 1.5 几种主要的分栅式闪存结构

Figure 1.5 different split-gate flash memory

除以上四种广为使用的结构外，近些年来，科研人员也研发了许多具有新特点的浮栅分栅结构，比如有着更高的开关比率和更大的阈值电压和调窗口的 P 沟道的垂直分栅闪存结构^[54]，运用了全耗尽型绝缘体上硅（FDSOI）技术得到的准确率更高且更加易于微缩的闪存结构^[55]，集成了高介电常数电介质和金属栅（HKMG）可以更好地抑制短沟道效应（SCE）的立体鳍型场效应管（FinFet）闪存结构等，但这些结构工艺复杂度极高，目前还不能广泛运用在低功耗嵌入式存储领域中^[56]。

对于电荷俘获类的分栅闪存，SONOS 结构是目前最为广泛应用的一种。最新的 SONOS 结构如图 1.5 (e) 所示，其采用了源端自对准的环型（halo）掺杂来调节 SG 晶体管的阈值电压，省去了传统 SONOS 分栅结构选择栅（SG）和记忆栅（MG）中的反掺杂沟道的步骤，提高了沟道内载流子的迁移率，整体具有更优的电学特性^[57]。而随着 HKMG 工艺的发展，SONOS 结构也应用了金属栅从而改进成了 MONOS 结构，如图 1.5 (f) 所示。其操作优势在于它擦除时通过带-带隧穿的方法注入热空穴来实现擦除操作，文章数据表明了这种擦除方式比传统的 F-N 隧穿更为高效^[58]。除此之外，2T 结构近些年也得到了广泛的研究^[59]，但这类电荷俘获型闪存的数据保持能力劣于浮栅型结构，所以浮栅结构更适合

于高可靠性的嵌入式应用。

1.3 本文研究目的与意义

大数据与万物互联时代的到来，对存储器件的工作速度和可靠性等方面提出了更高的要求。新型的 NVM 虽然在理论上可以达到优于闪存数倍的性能和可靠性，但距量产应用还需要很长的研发时间，闪存存储器依旧是目前存储市场中可靠性高、性能优越、应用最广泛的半导体 NVM。存储器在近些年来主要向两个应用方向发展，一个是大规模存储数据的独立式存储应用，比如固态硬盘等；另一个则是具有极高可靠性要求的嵌入式存储应用，比如智能卡、智能穿戴设备、IoT 芯片等场景。对于这类设备，存储密度并不是其第一要求，因为该类存储器除了存储数据外，更多是要存储用户程序代码，并保证代码可以在存储器中顺利被执行。随着半导体制造技术节点的不断推进，集成电路的标准工作电压也随着氧化层的减薄而逐步降低，高效率与低功耗也成为了闪存存储器的重要发展方向之一。

与常规的逻辑器件不同，闪存操作需要高于逻辑电路工作标准的电压来支持其进行读写操作，这个高压是通过外围电荷泵对基准电压 VDD 的倍增产生的。对于闪存的嵌入式应用来说，读取操作在其使用中所占比重远大于编程与擦除操作。传统的闪存单元由于具有较高的读阈值电压，所以读取时也需要电荷泵工作来产生高压。这样的高电压读取操作一方面增大了整个闪存的功耗，另一方面，电荷泵将电压倍增到读取所需的电压需要一定时间，这降低了整个闪存的读取效率。如果能将读电压降至与外围逻辑电路的驱动电压相同，闪存在读取过程中便不再需要电荷泵工作，也省去了闪存建立工作电压的时间，这样同时实现了低功耗和高效率读取操作。

据此，本文提出了一种新型的嵌入式分栅闪存单元结构（以下简称“新结构”）。与传统结构相比，新结构增加了一个擦写栅（EPG），并在不降低其可靠性的情况下减薄了字线氧化层，降低了读取电压的要求，使得其可以在 VDD 的偏置电压条件下实现高效的读取操作。此外，这项改进还增大了沟道电流，提升了读取窗口，降低了氧化层应力和漏电流，这些都对闪存在未来的高速及便携式电子设备的应用上具有重要意义。

1.4 本文的主要内容与结构

本文提出了一种新型的低阈值电压闪存单元，包括它的基本结构与阵列的排布；同时设计了新结构的制造工艺流程，并详细研究了工艺参数对整体结构形貌及电学特性的影响，分析了新结构的可靠性。本文中新结构的仿真数据利用 Sentaurus 工具获得，实际分析所用的流片样本在华虹宏力 0.11 μm 自对准工艺平台制备。本文主要结构如下：

第一章作为本文的绪论部分，首先介绍了非易失性半导体存储器的发展历史，以及一些新型 NVM 的概念；之后详细介绍了闪存存储器的分类以及各个类别的研究现状，重点介绍了几款 NOR 型产品；最后阐述了本文的研究意义、研究内容和行文结构。

第二章介绍了闪存存储器的基本原理。这其中包括存储和读出原理、编程和擦除原理，同时阐明了闪存单元中电子输运所运用到的物理原理；之后主要介绍了衡量闪存工作性能的电学参数和可靠性指标，以及它们的测试方法；同时简要介绍了影响闪存可靠性的物理机理，以及可靠性测试带来的温漂现象。

第三章全面介绍了本文提出的新型低阈值电压分栅闪存的结构设计。首先介绍了新结构能实现低阈值读取的两个关键之处，分别是新增擦写栅和减薄字线氧化层；之后进行了阵列设计，采用了有源区源线直连的形式避免了源线与擦写栅引出时的位置冲突；设计并顺利流片了两个具有同样结构但具有不同浮栅形貌的新结构样本，测试了它们的电学参数和可靠性，并与现有的分栅闪存结构的对应参数做了对比，展示出了新结构的优势所在；最后介绍了该闪存单元编程时可能存在的三种击穿情况，并以此完善了该闪存的编程操作条件。

第四章全面研究了此低阈值电压分栅闪存的工艺流程以及工艺参数。首先简要介绍了此结构在制造过程中所涉及的主要工艺步骤；之后设计了一套全新的样本单元制造的自对准工艺流程；最后详细研究了各个工艺参数对此新结构的形貌以及电学特性造成的影响，包括版图规划和光刻条件对源线连接情况的影响，字线下阱掺杂浓度及漏结旁浅掺杂漏（LDD）和口袋掺杂（Pocket）浓度对读窗口的影响，源结掺杂元素种类及注入时能量与剂量对形貌的影响，进而研究了源结形貌对闪存单元击穿电压的影响等。

第五章总结了本文内容，并对本文可改进的地方进行了展望。

第 2 章 浮栅式分栅闪存的原理和性能指标

如上一章所述，浮栅型分栅闪存存储器的主要特点，就是将器件沟道的控制权交由两个不同的栅极，一个是浮栅，另一个是选择栅（功能类似于传统 EEPROM 的选择晶体管），以此来增强对存储单元开关的控制，避免过擦除效应。其实，这一想法早在 1984 年 Flash 的发明者提出它的结构的时候就得以运用，如图 1.1 (f) 所示。在此结构中，第三层多晶硅不但用作为正常存储单元的控制栅，也用作为选择栅。这样，即使浮栅发生过擦除后其下方沟道已经进入了耗尽区，但选择栅的存在依旧可以保证有一部分沟道在增强区，从而不被导通。但这里的控制栅和选择栅并没有被完全分离，而是由一层多晶硅同时起到两个作用，并不是完全的分栅结构，在工艺上具有较高复杂度，且难以微缩。但由于分栅结构可以获得更高的可靠性，所以这个概念一直被研究并在嵌入式闪存存储器中加以运用。本文新提出的低阈值电压闪存单元就属于此类闪存单元，本章将详细介绍分栅闪存单元的操作原理、电学指标和测试方法。

2.1 闪存单元原理

2.1.1 存储与读出原理

闪存的操作分为编程、擦除和读取。其中，擦除也可以认为是向单元中写“0”的过程，所以编程和擦除也可统称为写入。编程是将信息存入存储器的过程，其主要机理是将电子注入至浮栅（或电荷俘获层），使得整个器件的阈值电压升高；而擦除则相反，是将信息移出存储器的过程，其机理是将电子从浮栅（或电荷俘获层）中抽出，使整个器件的阈值电压恢复到编程前的水平。读取则是读出存储器中所存信息的过程，读取时向字线加电压 (V_{wl})，在位线上检测读出电流 (I_{bl})。对于一个闪存单元来说，编程状态和擦除状态具有不同的阈值电压，所以在相同的电压偏置条件下，漏源电流会有明显差别，如图 2.1 所示。

编程后的阈值电压更贴近读取时所加的偏置电压，所以电路几乎没有电流读出，我们将这个状态标记为“0”，这个状态单元的阈值电压即为“ V_{tp} ”，读取这个状态时检测到的位线电流称“0”电流，用“ I_{r0} ”表示；而擦除后，浮栅的

阈值电压大幅降低，整个器件在上述偏置电压下电流可达几十微安，这个读出的状态则被标记为“1”，其阈值电压标记位“ V_{te} ”，读取时位线电流称“1”电流，记为“ I_{r1} ”。

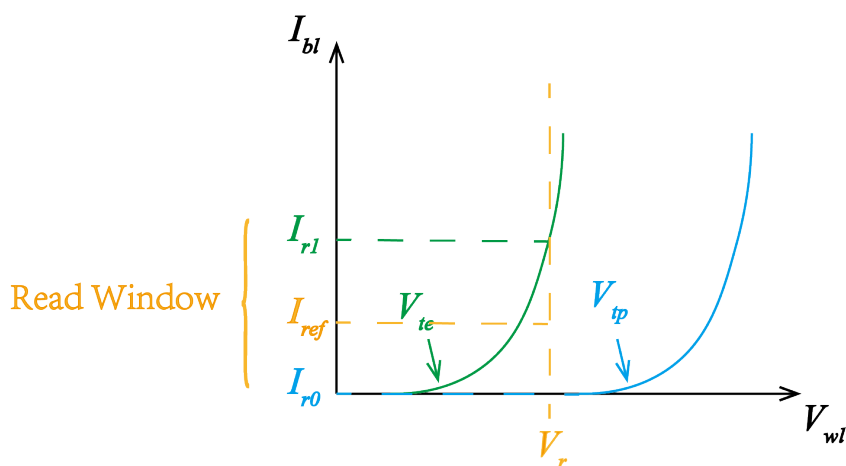


图 2.1 闪存存储和读出原理

Figure 2.1 Storage and readout physics of flash memory

对于本文提出的新结构来说，浮栅下沟道运用了高浓度掺杂，阈值电压达 1V。当单元被擦除后，电子被拉出浮栅，浮栅内剩余了空穴，对沟道耦合了正电势，使得其下沟道导通。这时字线晶体管加压导通后，即可在位线检出电流 I_{r1} 。而当单元被编程后，注入进浮栅内的电子会中和掉空穴的电势，而读取时浮栅并不直接加电压，所以其下方沟道无法开启，位线基本没有电流流出，也就是说 $I_{r0} \approx 0$ 。由于 $I_{r0} \approx 0$ ，所以 I_{r1} 的 I-V 曲线直接展示出了读窗口，即闪存单元的读取性能。

2.1.2 编程与擦除原理

如上所述，闪存存储器保存信息是通过浮栅对电子的俘获和释放进行的，而这种俘获和释放电子的方式又是基于多种原理的。传统的非易失性存储器的电子输运方法包括电子的直接隧穿、雪崩注入等，但这些方法电子注入效率低，且对绝缘层损伤大。目前被广泛运用在闪存存储器中的主要有三种，分别是 Fowler-Nordheim (F-N) 隧穿、沟道热电子注入 (CHEI) 和源端热电子注入 (SSHEI) 三种形式。图 2.2 展示了三种不同电荷输运原理的能带变化，下面将对不同原理做

简要介绍。

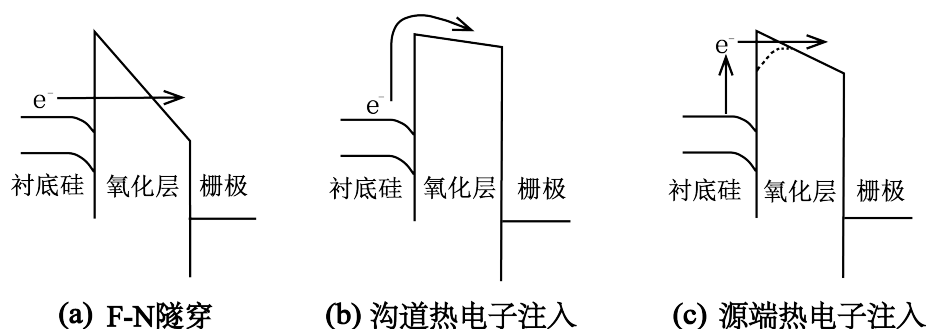


图 2.2 三种分栅闪存写入方法

Figure 2.2 Programming and erasing physics of flash memory

(a) Fowler-Nordheim 隧穿

Fowler-Nordheim (简称为 F-N) 隧穿是在存储器中应用最早的电子输运方式, 它实质上是一种场增强型的电子隧穿。与常规的隧穿不同, 在存储器进行写操作时, 其多晶硅—二氧化硅—硅结构会受到高压偏置, 这导致多晶硅方向的能级降低。硅中的导带电子越过二氧化硅只需要通过一个三角形的势垒, 其势垒高度取决于应用的材料, 宽度则取决于外加偏置电压的大小。所以当电压足够大时, 势垒就变得足够窄, 硅中导带电子也就更易于隧穿过二氧化硅。这项机理最初是由 Fowler 和 Nordheim 在真空势垒下证明, 随后有科研人员证明了其在氧化物隧穿的适用性。F-N 隧穿的电流大小为^[40]

$$J = \alpha_{inj}^2 \exp\left(\frac{-E_c}{E_{inj}}\right) \quad \dots (2.1)$$

其中,

$$\begin{cases} \alpha = \frac{q^3}{8\pi h \phi_b} \frac{m}{m^*} \\ E_c = \frac{4\sqrt{2\pi m^*} \phi_b^{\frac{3}{2}}}{3\hbar q} \end{cases} \quad \dots (2.2)$$

式中, h 为普朗克常数, ϕ_b 为注入界面的势垒高度, E_{inj} 为注入界面的电场, q 为电子携带的电荷量, m 和 m^* 分别为自由量子的质量和 SiO_2 带隙内电子的有效质量, $\hbar = h/2\pi$, 为约化普朗克常数。

由上式可知, 其隧穿电流大小与耦合在氧化硅上的电场呈指数关系, 所以极

薄的氧化层是支持 F-N 隧穿发生的必要条件。然而早些年的工艺无法形成高质量的极薄氧化物薄膜，这导致当时闪存可靠性较低。随着现在工艺控制能力和精确度的提升，氧化物薄膜质量越来越高，F-N 隧穿也以其可控性强和效率高等优势，成为了 NAND 闪存中最广泛使用的数据写入方式，同时也是分栅闪存的擦除方式。

(b) 沟道热电子注入

所谓热电子，是指器件沟道中的那些在很高的横向电场的作用下获得了足够大动能的电子，这些电子在漏极附件碰撞电离使得载流子倍增。其中多子将会被衬底吸收形成衬底电流，少子则被漏极吸收。然而在碰撞过程中，获得足够能量的电子有一定概率直接越过二氧化硅势垒（约为 3.2eV），从而进入浮栅的导带。在浮栅加适当大小的电场可以提升注入的概率，这便是闪存中运用 CHEI 编程的基础。由于此原理涉及两个方向的电场和很多未知的物理参数，所以分析这种原理的物理模型大多是定性的，其中最著名的就是幸运电子模型^[60]，该模型认为所有碰撞电离的电子经过散射重定向至浮栅，如果它们还有足够能量越过二氧化硅势垒，则为幸运电子，其电流大小

$$I_g = C \left(\frac{\lambda E_m}{\phi_b} \right)^2 \exp\left(-\frac{\phi_b}{\lambda E_m}\right) \quad \dots (2.3)$$

式中， ϕ_b 为注入界面的势垒高度， E_m 漏端的横向电场峰值， C 为指数项前系数， λ 为电子的平均自由程。

理论上，热电子成功注入浮栅概率极低，栅极加电压虽然可以增加注入概率，但会削弱横向电场，从而降低热电子的产生数量。热电子的产生数量和注入概率受横向纵向电场共同制约，所以用这种方法需要很高的漏极电压，编程效率低。但这种方法速度快，而且不依赖于耦合在氧化层的强电场，所以被广泛运用在传统浮栅闪存的编程操作中。同时，这种方法只是用于将电子注入浮栅，而无法将电子拉出。热空穴注入虽然在原理上类似，但由于其需越过更高的能级，而且氧化层空穴陷阱可能导致氧化层迅速退化，所以热空穴注入并未像热电子注入一样得到广泛运用。

(c) 源端热电子注入

如上所述，沟道热电子注入最大的劣势就是栅极与漏极的电压相互制约：低的栅压高的漏压才能产生较多热电子，而低漏压高栅压才能得到较高的注入概

率，这种制约限制了这种原理的应用。对于分栅闪存单元来说，沟道被两个栅极共同控制而被划分为两个子沟道^[61]。实际操作时，靠近源端的栅极加低压，以保证产生最大数量的热电子；而靠近漏端的栅极则加高压，以提高热电子注入栅极的概率。实质上，这种偏置方法是将源端高压延长到了两个子沟道的交点上，也被称作“虚拟漏极效应”，如图 2.3 所示。

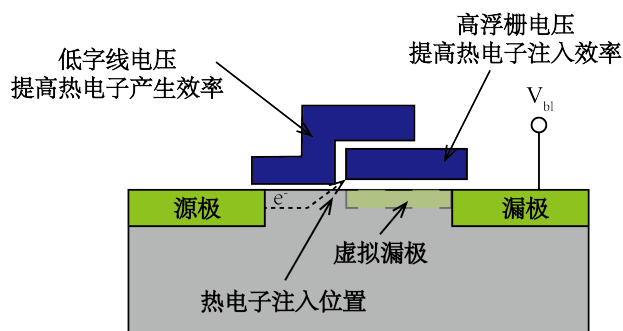


图 2.3 源端热电子注入原理

Figure 2.3 Physics of source side hot electron injection

这种注入情况下，有效沟道只是源端到虚拟漏端的长度，电子加速到虚漏端就会获得纵向电场来提升注入概率。与 CHEI 最大的不同就是，SSHEI 的热电子不产生于漏端，而是产生于源端栅极控制的子沟道中，所以被称为“源端热电子注入”。这种方法极大提升了热电子的注入效率，降低了能耗，且其注入电流函数只是沟道长度的函数，与漏极掺杂不直接相关^[61]。这些优点使其成为了诸多浮栅型分栅闪存的编程方法，也是本文提出的低阈值电压闪存单元所选用的编程方法。

除此之外，闪存中还存在一些其他的电子的输运原理。这些原理虽然没有被应用于新结构的编程擦除操作中，但它们每一个都是产生串扰现象的原因之一，在此做简单介绍。

(a) 聚合氧化物导电 (polyoxide conduction): 这种方法主要原理类似于 F-N 隧穿。但与其不同的是，F-N 隧穿需要极薄的氧化层和极高的电压，而多氧化物粗糙的表面可以起到局部场增强的效果，从而降低了对氧化层薄度的要求。但这种方法具有复现性差、隧穿电流不具对称性等缺点。

(b) 衬底热电子注入 (SHEI): 与 CHEI 中热电子仅在漏端注入不同，SHEI 是先将源漏接地，晶体管偏置在反型区域，再外加 PN 结注入电子。这样在恒定

氧化层电场下，电子可以在整个沟道均匀注入。但它需要三阱结构和额外的电源，不利于尺寸微缩。

(c) 二次碰撞电离引发沟道热电子注入：这种方法依旧是基于 CHEI。其主要原理是在衬底施加反向偏置电压，以使得一次沟道电子在漏端碰撞电离产生空穴回流到衬底时再次碰撞电离出二次电子，这些电子被垂直电场加速后注入浮栅。这种方法可以产生比 CHEI 大几个数量级的注入电流，但同样也需要三阱结构和更高的工艺复杂度。

2.2 闪存单元的电学参数和可靠性指标

闪存单元的电学参数是直接表征闪存工作性能的参数，主要有读电流窗口、阈值电压、击穿电压等；可靠性指标则是衡量闪存正常工作不出差错的能力的指标。与单独的一个 MOS 晶体管不同，闪存单元是具有一定功能的特殊晶体管，所以衡量闪存单元的可靠性不仅仅依赖于时间故障率、浴缸曲线等 IC 中常用的可靠性指标，还包括非易失性存储器特有的、与使用寿命和功能密切相关的可靠性指标，包括耐久性、数据保持性和抗操作串扰能力等。闪存电学参数和可靠性不但受本身设计和工艺的影响，也与其工作的环境密切相关^[62-64]。为了能够让闪存单元在其寿命内适应不同环境而正常工作，在闪存的设计和生产过程中就必须为这些指标留有足够的裕量。在实际生产测试过程中，闪存的这些电学参数指标主要是通过晶圆可接受测试（WAT）对晶圆沟道内预留的测试结构（Testkey）加对应的电学测试条件进行的，可靠性指标则是通过探针（CP）测试完成的。下面将对这些参数指标做简要介绍。

2.2.1 电学参数

闪存单元主要包括 3 个电学指标，分别是读电流、阈值电压、击穿电压。

读电流是直接衡量闪存工作能力的指标，用 I_r 表示。这又分为编程单元的读电流，称为“0”电流 (I_{r0})；和擦除单元的读电流，称为“1”电流 (I_{r1})。测试时，需要将整个单元偏置在一个确定的读取条件下，在位线上检测出其电流值。对于新结构闪存单元来说，理论上其编程过的单元不能被导通，所以其“0”电流应是 nA 级；而“1”电流值则应该超过 25 μ A，才能够为读取操作留出足够的窗口。如前所述，由于读取时浮栅不会引出电极施加电压，所以分栅闪存的“0”

电流都可以维持在 0 附近，而“1”电流则成为了表征性能和读窗口的重要参数，具有研究价值。所以下文中提及的读电流，默认均指代的是读“1”时的电流 I_{r1} 。

阈值电压可以反映出闪存被编程程度的强弱，用 V_t 表示。对于分栅闪存，其字线（选择栅）与位线分离，所以其阈值电压又分字线的阈值电压和浮栅的阈值电压。其中，字线阈值电压记为 V_{twl} ，是闪存单元读取的阈值。而浮栅的电压则会根据状态不同而发生变化，其中，编程后单元的浮栅阈值电压记为“ V_{ip} ”，而擦除后的记为“ V_{te} ”，这两个值与掺杂浓度、温度等因素有关。WAT 的阈值电压测试分为最大跨到法和恒定电流法两种方法，前者通过测量不同漏极电压下的源漏电流来计算阈值电压，后者则是通过施加不同的源极电压，使源漏电流保持恒定，然后测量不同源极电压下的漏极电流来计算阈值电压。

击穿电压是关乎于闪存可靠性的重要指标，这主要是由于闪存在写入操作时需要向源结上施加反偏高压。这个高压可能会使得源结扩大，与漏结相连造成穿通（punch-through）；另一方面源结与衬底的 PN 结可能无法承受这个电压，就会导致源极发生雪崩击穿，载流子数目倍增，电流激增，产生大量热量使器件失效。此外，在工艺制造过程中，如果栅氧化层质量较差，源结加高压后会直接使得电子隧穿至擦写栅级，这也是一种闪存单元击穿的原理。图 2.4 展示了一个闪存单元发生击穿时的电流变化，击穿电流值和电压及掺杂有关，由于雪崩击穿是自我激励的，所以其电流上升最快，能达到的峰值也最高（在本文所涉及的实验中可达 mA 级），大电流产生的高热点会造成不可逆转的热击穿，所以在使用时避免击穿，测试时进行限流十分重要。

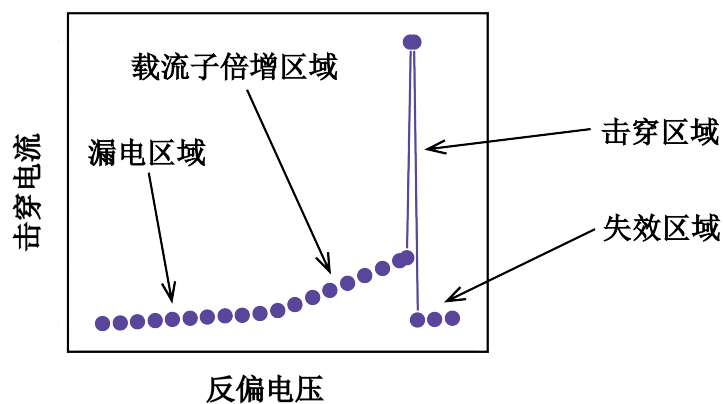


图 2.4 器件击穿失效曲线

Figure 2.4 Device Breakdown Failure Curve

从图中我们可以观察到，电流的斜率变化分为了三个区间。其中第一个区间电流变化最缓慢，这是由于PN结耗尽区的扩大导致的，在绝大多数情况下，这个电流都很小。而第二个区间电流明显增大且增速变快，一方面这是由于强场使得载流子迁移率发生改变；另一方面，源区与衬底耗尽区过窄，增强了源结与字线间的横向电场，而高压引起的耗尽区扩大大幅度缩短了有效沟道长度，促使电流增大，甚至穿通。而第三个区间则是源结击穿发生的位置，电流骤增直至极高点（这个最高点并非击穿电流最大值，而是测试时设定的限流值）。对于闪存而言，即使源结大电压可以增强浮栅对衬底的耦合电场，从而提升热电子注入效率，但这样极高电流会直接造成器件的高温失效，所以需要限定编程电压并调节击穿电压。

一般情况下，上述三个原理和其他一些可能的机理都会使得闪存的电流超过正常值，根据掺杂浓度的不同，这些原理也可能在漏源电压上升的区间内分阶段发生。所以在闪存测试时，BV并不特指发生某一种击穿时的电压，而是被定义为达到某个电流值（比如100nA）时的漏源电压差（BVDS），虽然这个电压下器件还未完全失效，但超过这个电压则会使器件的失效风险大幅增加。测量闪存单元源漏结的击穿电压，对其操作条件的设定及优化极其重要。

2.2.2 耐久性

在NVM中，加压读写操作会给整个器件带来应力，电子的注入流出也会使得氧化层薄膜质量退化。耐久性描述的就是闪存器件抵抗这些破坏因素而保证正常工作的能力，通常会用其能保证正常工作的编程/擦除循环（P/E Cycling）次数来定量表示。如本章第一节所述，闪存是以编程和擦除后阈值电压的差异为基础进行读取数据的，但在闪存经过多次编程/擦除循环后，由于氧化层产生的陷阱束缚了一些电荷，就导致其编程后和擦除后的阈值电压逐渐靠近，使得读取窗口变窄，发生错误的概率增加。

读取窗口变窄的原因主要是由于编程时电子进入浮栅数目减少和擦除时隧穿电流减小有关，而造成这一现象的原因可归为两个方面。一方面是栅氧化层的本身质量问题，这是由制造工艺决定，包括氧化层薄膜的生长方法、工艺机台的稳定性等；另一方面则是由于在操作过程中量子输运引发的而氧化层的退化。如本章第二节所述，分栅闪存编程和擦除利用的原理分别是热电子注入和高压

F-N 隧穿，这样的过程会导致电子被束缚至氧化层陷阱、热空穴注入和界面态产生、高压产生的应力致使器件失效等。在实际测试中，闪存的耐久性测试的过程是进行 100K 次 P/E 循环，然后分析读窗口的变化。

值得注意的是，对于一些存在叠栅的闪存结构来说，在进行耐久性测试后，会存在一些“1”电流极小的“尾位”单元（tail bit）。这些单元由于被编程过深，它们的读电流温度系数会发生改变。图 2.5 展示了对选择栅共享分栅型闪存（即图 1.5 (d) 所示结构）耐久性测试的研究结果^[65]。我们可以观察到其在耐久性测试后，“1”电流的温度系数发生了明显的偏移。在温度变化测试或者应用在实际温度变化幅度较大的场景时，这些单元的读电流会超出参考单元设定的窗口，造成读出结果错误。但我们可以利用其阈值电压与迁移率的制约关系，设定温度不敏感的读取条件与参考电流，以此来避免闪存单元因擦写次数过多而带来的“1”电流的温度漂移，从而提升读取准确率与产品的良率。

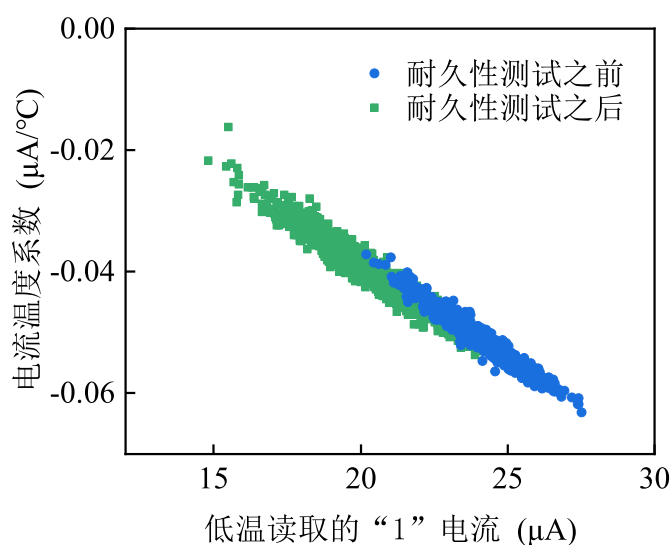


图 2.5 多次擦写导致的“1”电流温度系数发生改变

Figure 2.5 Temperature coefficient variation of I_{r1} induced by P/E cycling

2.2.3 数据保持性

数据保持性是指非易失性存储器长时间正确地保存数据的能力。对于闪存来说，数据不出差错的保存时间应为 10 年。对于新结构来说，闪存是通过电子注入浮栅来进行编程的，注入前后的读电流有可识别的差距，以此读出数据。但在长时间的保存中，很多原因都会使得浮栅中电荷流失，导致阈值电压变化，进

而导致了数据的读出错误。造成电荷流失的原因有很多，如氧化层存在缺陷、应力导致漏电流（SILC）、工艺过程中引入了离子的污染、多次擦写导致的电荷俘获等。但对于分栅闪存来说，由于运用了较厚的电荷转移氧化层，擦除操作也是通过多晶硅到多晶硅的隧穿进行的（高压未耦合在栅氧化层），完善的工艺流程也降低了离子污染的概率，所以分栅闪存的数据保持性能一般都很高。

数据保持性的测试主要是通过高温加速失效的机理进行的。其温度与失效速率的对应关系为阿累尼乌斯方程（Arrhenius Equation）所决定：

$$R = A \exp\left(-\frac{E_A}{kT}\right) \quad \dots (2.4)$$

式中， R 为失效速率， A 为初始速率， E_A 为本征活化能， k 为玻尔兹曼常数， T 为对应温度。

我们可以据此定义温度加速因子（AF）：

$$AF = \exp\left[\frac{E_A}{k} \cdot \left(\frac{1}{T_{use}} - \frac{1}{T_{bake}}\right)\right] \quad \dots (2.5)$$

式中 T_{use} 即为实际使用的温度， T_{bake} 为测试时烘烤的温度。

在新结构单元测试中，数据保持性测试通过 250℃ 72 小时下烘烤（bake）进行。如果 bake 后电流与初始电流相比没有明显的变化，则认为其可以保证数据在 10 年的正确保存。

2.2.4 抗串扰能力

串扰是指在闪存阵列中，当对一个选中单元进行操作时，所加的电压影响到了另一个（或一些）未被选中的单元导致其保存的数据发生了变化，比如发生了电子注入使得这个单元从“1”变为了“0”等。串扰现象主要是由于受串扰单元与选中单元共享了字线、源线或位线造成的。根据发生位置的不同，串扰可分为行串扰（PTR）、列串扰（PTC）和对角串扰。闪存有读、擦和写三种操作，其中由于闪存的擦除是按块（block）进行，而不同块之间隔离相对较好，所以分栅闪存不存在明显的擦除串扰。读串扰和编程串扰十分常见，但一般情况下，读操作所需要的电压比编程低得多，不会给其他单元带来明显的读串扰，所以本文对串扰的分析部分主要研究内容为编程串扰。

而编程串扰又分为行、列和对角串扰。其中对于新结构来说，对角单元所受应力很小，所以串扰电流很微弱，这里不着重介绍。所谓编程行串扰，即是当对一个位单元进行编程时，被编程单元源线、擦写栅、位线及字线均施加了相应电压，而位于同行的单元则会受到字线、擦写栅、源线电压的影响。列串扰发生的原因与行串扰相同，即是位于同列的单元受到了位线电压应力的影响。事实上，分栅闪存编程串扰得发生机理有很多且很复杂，而且不同的闪存结构、不同的制造工艺、不同的操作原理带来的串扰情况都会不同。如图 2.6 所示，以 ESF3 为例，其串扰已被证明与表 2.1 所列出的 6 个机理有关^[50]。

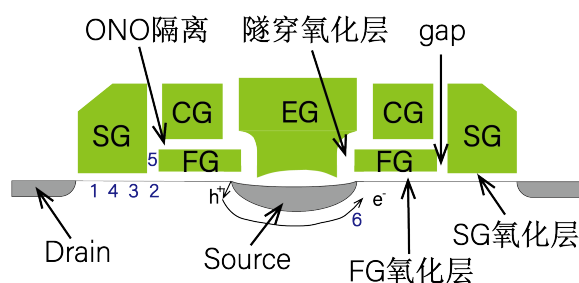


图 2.6 分栅闪存串扰机理^[50]

Figure 2.6 Disturb mechanisms in split-gate flash memory

表 2.1 分栅闪存串扰机理

Table 2.1 Disturb mechanisms in split-gate flash memory

发生位置	发生机理
1	选择栅晶体管的表面生成
2	沟道内界面陷阱促使的能带到能带的隧穿
3	选择栅氧化物陷阱辅助隧穿
4	选择栅晶体管的亚阈值电流影响
5	浮栅到选择栅的泄露
6	二次碰撞电离

抗串扰测试通常是通过模拟串扰进行的，即直接对上述位置加压一定时间 (stress)，对比加压前后电流的变化情况。对于常规的分栅闪存的单元来说，理

论上的串扰测试时间为

$$T = t_{pgm} \times n \quad \dots (2.6)$$

式中, t_{pgm} 为一个位单元的编程时间, n 即被影响的单元数。对于不同结构, 还要考虑具体单元在使用寿命中被连续串扰的次数。测试后对比加压前后电流变化情况, 即可判断一个单元的抗串扰能力。

2.3 本章小结

本章主要介绍了闪存的原理、电学参数和可靠性指标, 以及各项指标的表征方法。

浮栅闪存是通过浮栅对电子的俘获和释放来存取信息的。由于浮栅中存有电子时阈值电压高, 而擦除时阈值电压低, 所以两种情况下的漏源电流就会有所差别。在漏极引出位线感知其电流大小即可判断单元是编程态还是擦除态, 即单元中的信息是“0”还是“1”。电子注入与离开浮栅可以通过三种方法进行, 分别是 F-N 隧穿、CHEI 和 SSHEI。这三种方法中, 高效的 F-N 隧穿, 和高效率的 SSHEI 是本文提出的闪存单元新结构的擦除和编程方法。本章还介绍了闪存的电学参数和可靠性指标, 电学参数包括读窗口、阈值电压和击穿电压; 可靠性指标包括耐久性、数据保持性和抗串扰能力。多次擦写循环会带来氧化层的退化、束缚电荷的增加、闪存温度系数的变化等, 这些因素都会对可靠性产生影响。对于一个可以商用的闪存, 耐久性应达到 100K 次循环, 数据保持 10 年以上, 且具有抗串扰能力。

第3章 低阈值分栅闪存单元结构与电学参数研究

经典的分栅闪存存储器有效避免了过擦除效应，但字线（选择栅）在辅助编程操作的同时又承担了擦除操作。闪存存储器的擦除操作是通过高压隧穿方式实现的，所以字线下方就需要较厚的耦合氧化层才承受擦除的高压，进而增大了读取时使存储单元充分开启所需的电压，读取时需要电荷泵增压，既增加了读取时间，又加重了存储器的功耗。据此，本章将介绍一种新型的具有低读阈值电压的闪存单元，并详细分析其结构设计理念和电学测试结果。

3.1 基本结构

为了实现低阈值的读取操作，新结构的设计主要集中在两个方面，一方面是将需要高压的擦除操作与无需高压的读取操作分离开来，另一方面就是减薄氧化层，从而实现低阈值电压的读取。下面将对这两方面做详细分析。

3.1.1 新增擦写栅

为了将擦除与读取分离开来，传统的双栅分栅结构已不能要求，所以需新增一个栅极，形成三栅式的存储器。而三栅式的存储器又有两种方案，一个是在传统的ETOX结构中“串联”一个栅极专用于擦除，ESF3便是这种结构。然而，这种结构极大增加了工艺的复杂度，且对工艺精确度要求高。另一种则是替代原有结构中某部分的位置，本文设计的新结构采用了这种方案，在不改变单元大致形貌的情况下即实现了擦除与读取操作电压的分离。在工艺上，新结构与传统结构相比仅需增加4道光刻，且带来了更佳的可可靠性。其结构如图3.1所示。

新结构由衬底硅、浮栅（FG）多晶硅、字线（WL）多晶硅、擦写栅（EPG）多晶硅组成。其中，字线用于选中该单元，浮栅用于保存数据，擦写栅的目的则是辅助编程和擦除操作。该单元是一个对称结构，包含有共享擦写栅的两个位单元（Bitcell），每个位单元可以保存1bit的数据。与传统结构相比，新结构减薄了字线氧化层，并在不增加控制栅的基础上，单独引入了擦写栅，以实现低阈值电压读取的要求。

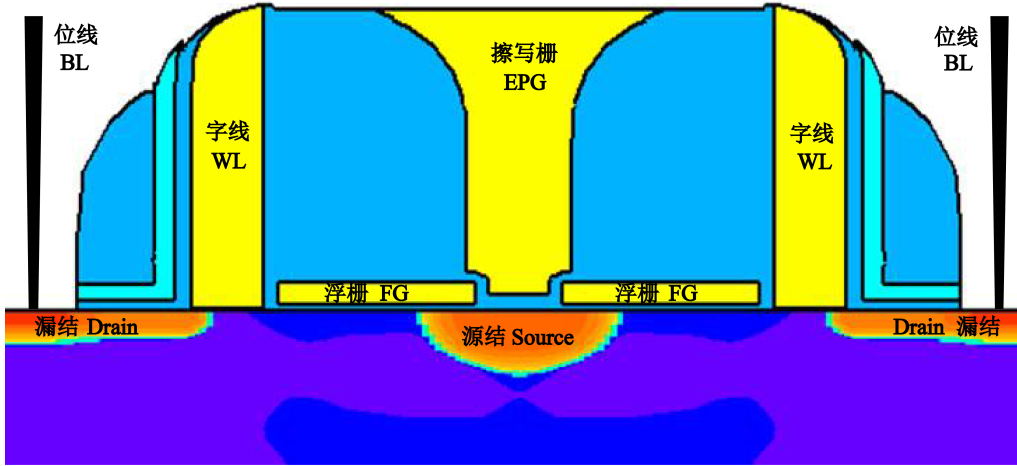


图 3.1 新型的低阈值电压闪存单元的结构

Figure 3.1 Cell structure of the proposed flash memory with low threshold voltage

3.1.2 减薄字线氧化层

每个位单元可以看作是字线晶体管与浮栅晶体管串联而成，字线与浮栅同时控制沟道。因此，在浮栅中不保存数据的情况下，字线晶体管的过驱动电压（定义为栅压与阈值电压之差）决定了其下方沟道开启的充分与否，从而影响了此时整个位单元的漏源电流大小，也即“1”电流。故在达到相同“1”电流的情况下，降低字线下阈值电压即可降低该位单元读取所需的读电压。根据 MOSFET 的均匀注入模型，在无偏压下的阈值电压由材料、温度、掺杂浓度、氧化层厚度等多种因素共同决定其理论决定公式如下^[66]。

$$V_{TH} = \phi_{ms} - \frac{Q_{ox}}{C_{ox}} + 2\phi_F + \frac{2qN_{it}\phi_F}{C_{ox}} + \frac{\sqrt{4q\epsilon_{Si}N_A\phi_F}}{C_{ox}} \quad \dots (3.1)$$

式中 ϕ_{ms} 是金属—半导体功函数差， Q_{ox} 为氧化层内电荷， C_{ox} 为栅氧化层单位面积电容，与厚度成正比， ϕ_F 是费米势， q 为电子电荷量， N_{it} 为界面密度陷阱， ϵ_{Si} 是硅的介电常数， N_A 是衬底的受主浓度。

由上式可知，衬底表面反型离子的掺杂浓度和氧化层厚度都可以改变闪存的阈值电压。其中，栅氧化层通过其电容耦合作用决定阈值电压，而氧化层电容大小与其厚度成反比。小的氧化层厚度可以带来更低的阈值电压，从而降低读取所需电压。然而，从可靠性方面来说，氧化层厚度过薄会增大该器件的漏电流，增加了串扰发生的概率。新结构在实际的制造过程中，充分考虑如表 3.1 所列的

半导体制造工艺中逻辑电路电压与栅氧介质厚度的对应关系，最终确定字线栅氧化层厚度为 24Å。

表 3.1 外围电压与栅氧化层厚度对应关系

Table 3.1 The relation between the drive voltage and the thickness of gate oxide

外围逻辑电压 (V)	栅氧化层厚度 (nm)
5	120
3.3	62
1.8	28
1.5	24

3.1.3 浮栅形貌

除以上两点之外，浮栅的形貌也会对闪存的性能、电学特性和可靠性造成一定的影响。在 ETOX 闪存单元结构中，浮栅为直接沉积的一层多晶硅，擦除只需要在栅极加高压即可。但随着分栅闪存的出现，用于擦除的高压不能够直接作用在浮栅上，而是通过侧边隧穿氧层耦合来实现隧穿擦除的，这样耦合电场较弱。为了提升耦合电压与擦除效率，有些闪存单元在浮栅旁形成了尖角^[67]，这种原理主要是利用尖端放电的方式，来增强局部电场。

为便于研究浮栅正面尖端对可靠性的影响，我们在同样的工艺平台，用同样的基础结构实现了两种具有不同浮栅形貌的方案，二者实际切片图分别如图 3.2 (a) 和 (b) 所示。

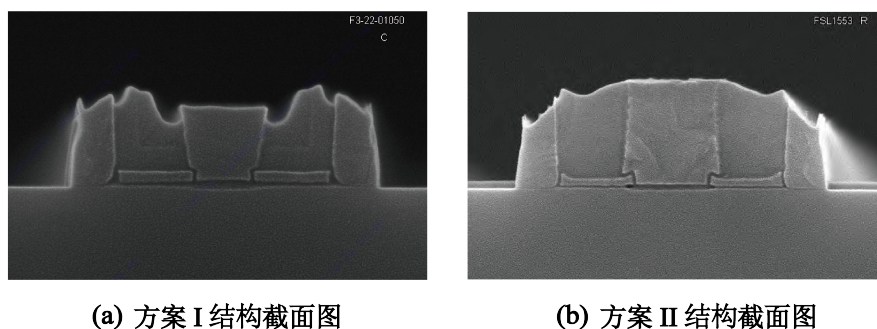


图 3.2 新结构的两种形貌方案

Figure 3.2 Two schemes for new flash cell structure

由上图可以看出，两种结构均为低阈值电压闪存单元结构，而且将擦写栅做出一个凹槽，留出了凹角包裹浮栅，这是为了应用圆角对电场增强的方式来提升擦除效率。但由于制造两种结构所用的工艺步骤不同，形成了两种不同形貌的浮栅。从尺度上来看，形成这种尖端的工艺复杂度高，所以方案 II 需要更大的尺寸，否则在尖端形成过程中光刻过程难以控制，造成失效的可能性加大，所以其尺寸难以微缩。而两种样品均利用了更高效的圆角增强电场的方法，弱化了尖端，所以在实测上，二者在操作条件上无明显差别，但在可靠性上，由于浮栅对称尖端的存在，使浮栅内电子在不加擦除偏置条件的情况下也会隧穿出浮栅，给器件可靠性造成了极大的影响。

3.2 阵列设计

本文提出的新结构为对称性结构，包含有两个位单元。每个位单元都有浮栅、位线和字线，两个位单元共享擦除栅和源线，其阵列图如图 3.3 所示。

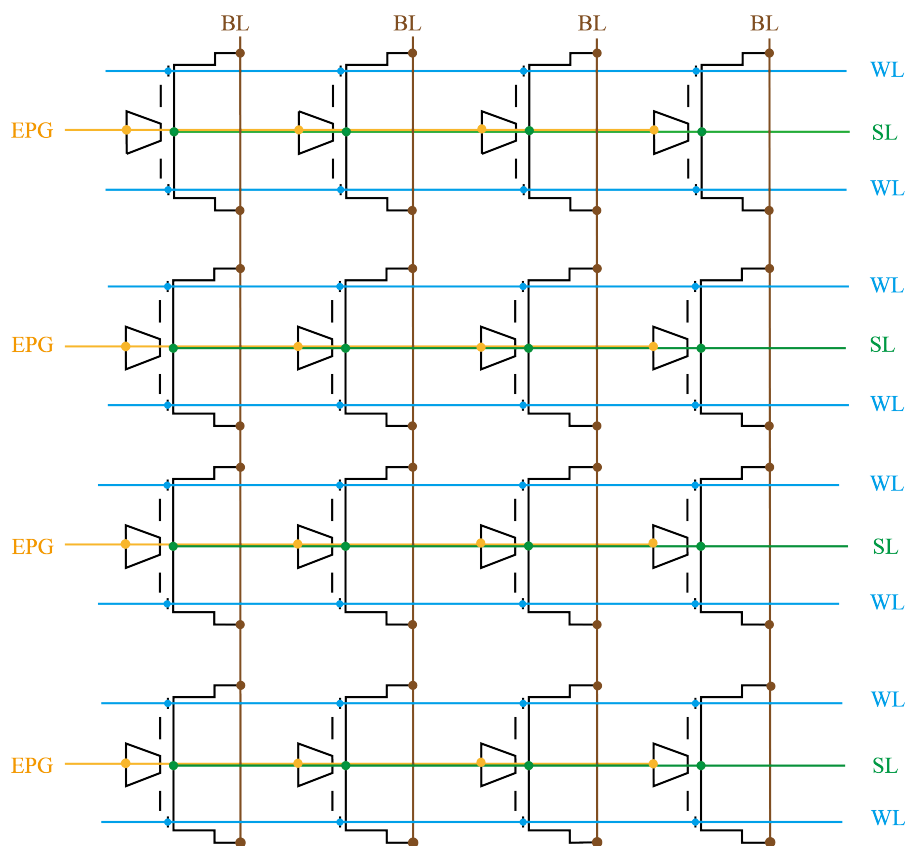


图 3.3 低阈值电压分栅闪存阵列

Figure 3.3 The array topology of the new flash cell

在传统的浮栅结构中，源线均可通过上置多晶硅的方式引出，但在新结构中，源线上方新增了擦除栅。由以上原理图可知，源线多晶硅和擦除栅将处在重叠位置，所以在新结构中，源线需要在下方单独引出。在传统的结构对应的版图上，有源区与隔离区交替排布，如图 3.4 (a) 所示。然而，这样的方法将会使存储单元行与行之间完全隔离，使得源线无法引出。对于这种情况，新结构的存储阵列排布采用了全新的有源区直连的方式，即不将有源区全部刻断，在横向上也留出一条来进行导电，使有源区整体形成了一个“H”型结构。“H”型有源区中间的横向接触是将两行单元相连接起来的部分，称为“H-bar”，如图 3.4 (b) 所示。通过以上方式即可实现一个位单元的字线、位线、源线以及擦除栅的同时引出。图 3.5 是该样本阵列电镜下的形貌，其中 (a) 展示了该阵列的实际排布图，(b) 是与 3.4 (b) 对应的有源区的形貌排布。

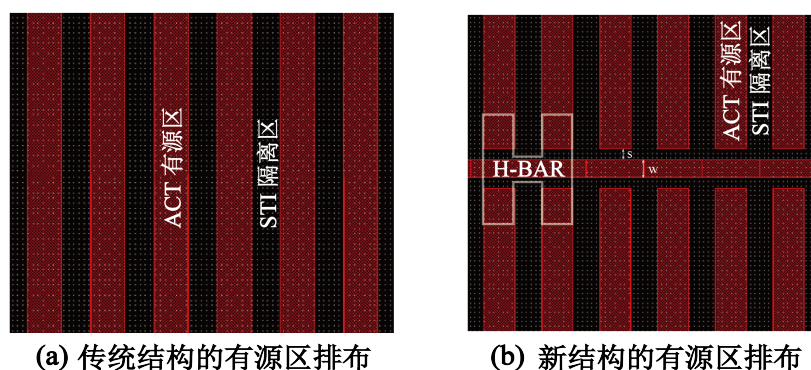
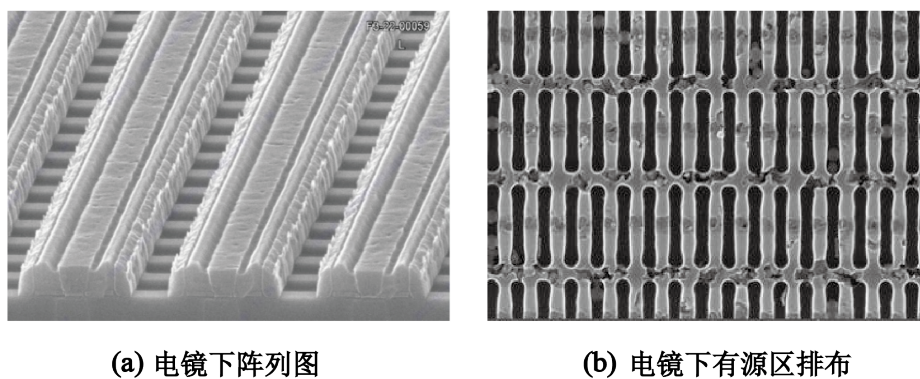


图 3.4 新结构中源线连线方式

Figure 3.4 The source line connection scheme in the new flash cell structure



(a) 电镜下阵列图

(b) 电镜下有源区排布

图 3.5 阵列电镜下图像

Figure 3.5 The image of the proposed array under electron microscope

3.3 基础电学参数和可靠性分析

新结构与ESF2结构均采用了自对准工艺和对称位单元结构。下面将对新结构的两种方案的读电流、耐久性、数据保持性和抗串扰能力进行测试，并与现存的分栅闪存单元ESF2进行对比分析。

3.3.1 读电流

新结构的每个位单元可视作由字线晶体管与浮栅晶体管串联而成的复合MOS晶体管。其中，字线晶体管阈值电压为一小的正值，在其栅极施加适当的电压即可导通。浮栅晶体管阈值电压约为1V，且浮栅不与外界电极直接接触，即这部分晶体管栅极外加电压为0。但其擦除后正电荷留在浮栅中带来了耦合在衬底的正电势，故此部分晶体管自然导通。然而，当闪存单元处于编程状态时，浮栅内存有的电子会削弱栅极向氧化层耦合的电场，导致其阈值电压升高，从而使得此子晶体管关断，整个位单元便无法导通。在不进行擦除操作的情况下，浮栅晶体管将一直保持着截止状态，从而实现了非易失性存储功能。所以测试前，需要先进性一次擦除操作以抽出浮栅中的电子，测试时只需在字线和位线施加适当电压 V_{wl} 和 V_{bl} 选中位单元，即可得到其“1”电流如图3.6所示。

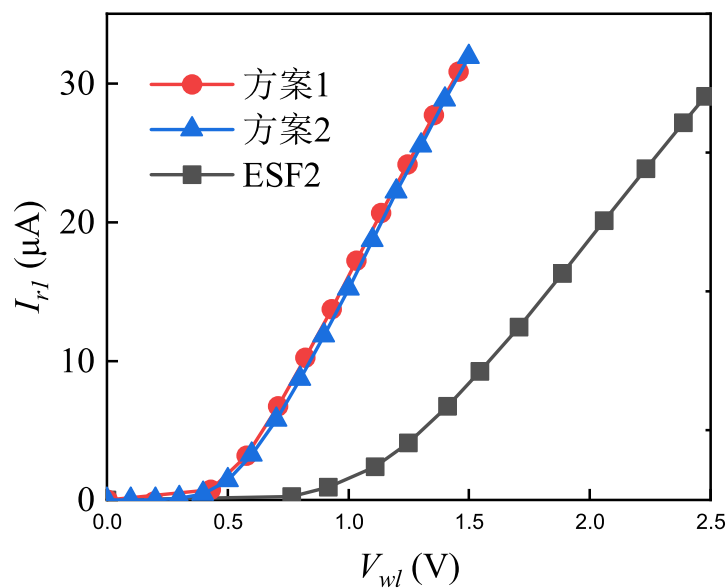


图 3.6 三种结构的读电流曲线

Figure 3.6 $I_{r1} - V_{wl}$ curves of three flash cells

从图中可以观察到，两种低阈值结构在 1.5V 时“1”电流均可以达到 $25\mu\text{A}$ 以上，而 ESF2 结构电流则不足 $10\mu\text{A}$ 。这证明了本文提出的新结构的优势所在，即可以在低电压的情况进行有效读取，而 ESF2 达到常规读取的“1”电流值则需要 2.5V 的偏置电压，这就需要电荷泵对外围电压倍增，增大了功耗。而对于这两个具有不同形貌的闪存方案，二者读电流并没有明显差别。

3.3.2 耐久性

通过对两种 cell 分别进行 P/E 循环 100K 次，并在每 10K 次循环后进行一次“1”电流的读取，得到电流变化如图 3.7 所示。

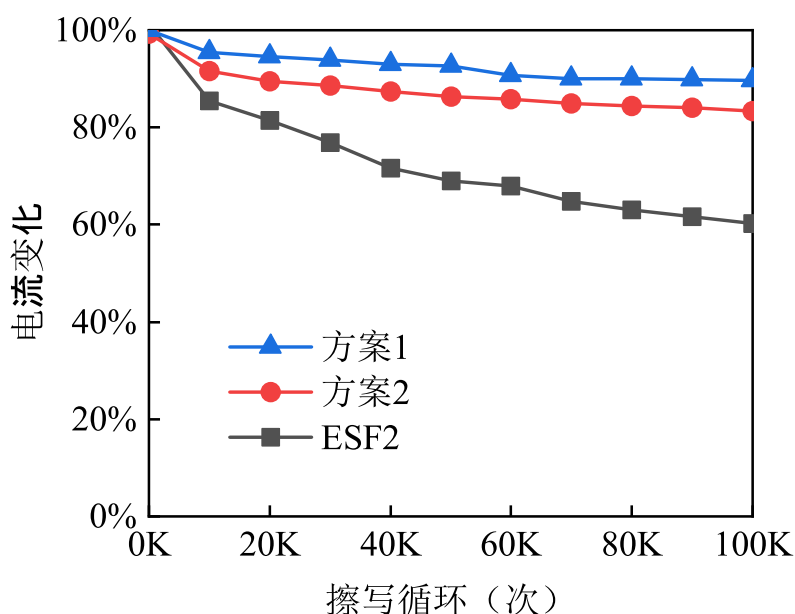


图 3.7 耐久性测试曲线

Figure 3.7 Endurance curves of new flash cells

从图中可以观察到，在耐久性这项指标上，虽然三个样本都满足了 100K 次循环的要求，但 ESF2 在循环到 100K 时“1”电流已下降至原来的 60%，而本文提出的新结构可以维持在 80% 以上。即新结构与 ESF2 相比，在耐久性上具有极大优势，这是由于新结构将擦写栅置于了源线之上。ESF2 中的“1”电流的下降主要是因为多次擦写循环导致的字线下氧化层和隧穿氧化层退化，产生了界面态和氧化层陷阱束缚了电子，导致沟道开启的阈值电压升高；而对于本文提出的新结构来说，字线不再承担擦除作用，所以擦写栅与浮栅间的陷阱电荷并不会作

用在字线下的沟道上，所以这一因素并不会影响其阈值电压或读电流。

而对于这两个具有不同形貌的方案来说，二者耐久性也有一定差异。造成这种差异主要有两方面原因，一是由于方案 II 的浮栅尖端在擦除操作时对隧穿氧化层损伤更大；另一方面，尖端的存在降低了多晶硅到多晶硅间的隧穿电压，使得隧穿更易发生。故在编程操作时，对于方案 II 而言，6.5V 的 EPG 电压也会使得浮栅内的一小部分电子隧穿至氧化层，降低擦除效率，而方案 I 则对 6.5V 的电压敏感度较低。

3.3.3 数据保持性

在数据保持性上，如上一章所述，闪存中数据发生泄露的原因主要是栅氧化层的缺陷导致漏电造成的。本章所列出的方案结构浮栅下均采用了较厚氧化层，擦除均应用了多晶硅到多晶硅的隧穿，而不对栅氧化层造成强应力的损伤，所以这些样本理论上都可以达到将数据保存 10 年以上的要求。

在实测上，我们利用了高温加速失效的原理对其 DR 进行测量，得到结果如图 3.8 所示。

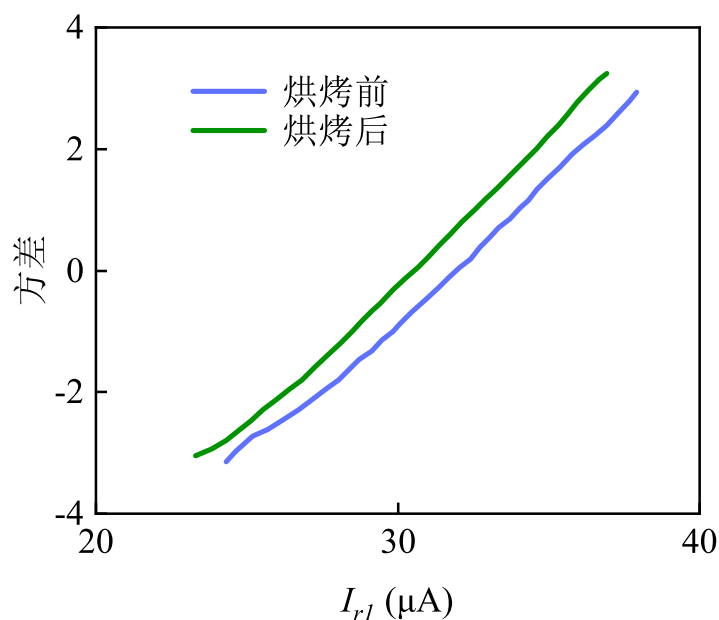


图 3.8 新结构的数据保持性测试曲线

Figure 3.8 data retention bake curve of new flash cell

由图可知，烘烤前后电流变化极低，满足闪存长久保存数据的要求。

3.3.4 抗串扰能力

串扰是由于器件的高压操作或应力变化等情况引起的各种形式的漏电导致的。对与本文提出的新结构，由于读取时字线仅需 1.5V 电压，且源线和 EPG 不施加电压，所以不会引起严重的读取串扰。而擦除时虽然需要高压，但新结构采用的对称单元结构，一次擦除操作将会擦除整个数据块，所以不存在擦除串扰。所以本节将重点分析编程串扰。

编程时，以同行的单元为例，由于未选中位线没有偏置电压和电流，所以编程时理论上这些未选中的单元是不会被导通的。但实际上，由于擦写栅、字线与源线均已被高压偏置，但表 2.1 所示的漏电效应、衬底表面生成的电子等可能会获得能量注入浮栅，使得未选中单元被编程，即发生了行串扰现象。这种串扰基于漏电原理，所以严重程度小，但涉及范围广，对一个 n 列阵列的同行 $(n-1)$ 个单元均有影响。列串扰与行串扰原理相同，但从阵列图中我们可以看出，在与被编程单元同列的单元中，仅与被选中单元共享源线的一个位单元会受到高电压的强应力，所以列串扰的涉及范围小。然而，列串扰发生时，被串扰单元除字线外所有端点都处在偏置状态。虽然字线没有电压，但源结和漏结的扩大、高压的二次碰撞电离等都会使得更多的电子被注入浮栅，所以其严重程度高。而由阵列可知，对角串扰对本单元结构影响极小，实测时也未检出有效的电流变化，所以下将重点分析前两种串扰情况。

根据式 2.6 及本闪存单元的实际情况，我们测量并得到了如表 3.2 所示的偏置条件并进行了 500ms 的行串扰测试，以及 5ms 的列串扰测试，两种方案以及 ESF2 结构的抗列串扰和抗行串扰结果分别如图 3.9 和 3.10 所示所示。

表 3.2 分栅闪存串扰测试条件

Table 3.2 Conditions of disturb tests in split-gate flash memory

串扰类别	V_{wl}	V_{bl1}	V_{sl}	V_{epg}
PTC	0	V_{dp}	7	6
PTR	0.8	1.5	7	6

图 3.9 展示了三种闪存列串扰的情况。从图中可以观察到，当串扰时间为 100 μ s 时，ESF2 闪存的“1”电流已经开始下降，在 1ms 时下降到了原“1”电流

的 80% 以上。相比之下，低阈值单元的两个样本在 5 ms 的常规串扰时间内都能够保持“1”电流变化在 10% 以内。

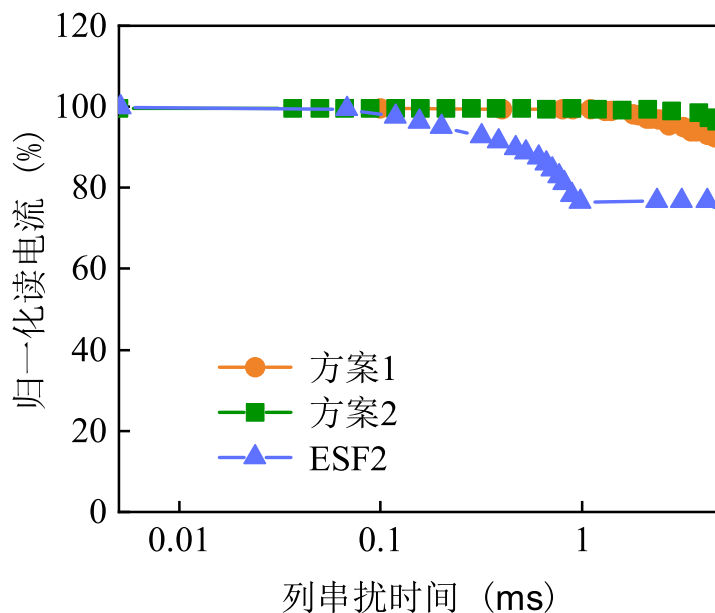


图 3.9 列串扰测试结果

Figure 3.9 Column disturb test result of flash memory cells

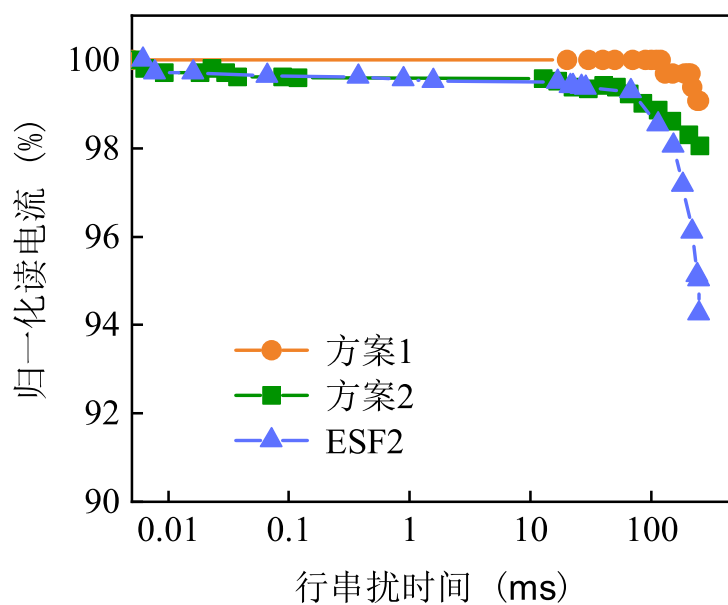


图 3.10 行串扰测试结果

Figure 3.10 Row disturb test result of flash memory cells

图 3.10 展示了行串扰情况，三种分栅闪存单元都可以有效抵抗 100ms 内的行串扰。然而，当超过 100ms 时，ESF2 单元就开始出现恶化现象，而低阈值单元的两个样本则能够将电流变化维持在 2% 以内。这种差异可以归因于新结构字线氧化层的减薄，从而增强了字线对沟道的控制能力，并有效降低了漏电流的影响。而对比新结构的两个方案，二者在抗列串扰方面基本没有差别，但在抗行串扰方面，方案 I 表现略优于方案 II。

由这些数据图表可以看出，文中所提出的新结构在读窗口和耐久性方面均优于现有的 ESF2 分栅结构。而相较于方案 II，方案 I 在擦除电压和读电流窗口无差别的情况下，在耐久性、抗行串扰能力和工艺可微缩性上均有明显优势，故样本 2 更易于高良率的量产，也更利于低功耗高集成度电子设备的运用。本文以下实验研究所涉及到的新结构的流片样本，将均基于方案 I 形貌。

3.4 击穿电压与操作条件优化

3.4.1 穿通和雪崩击穿

在字线、位线、擦写栅均无偏置的情况下，在源线加压得到的 I-V 曲线如图 3.11 所示。

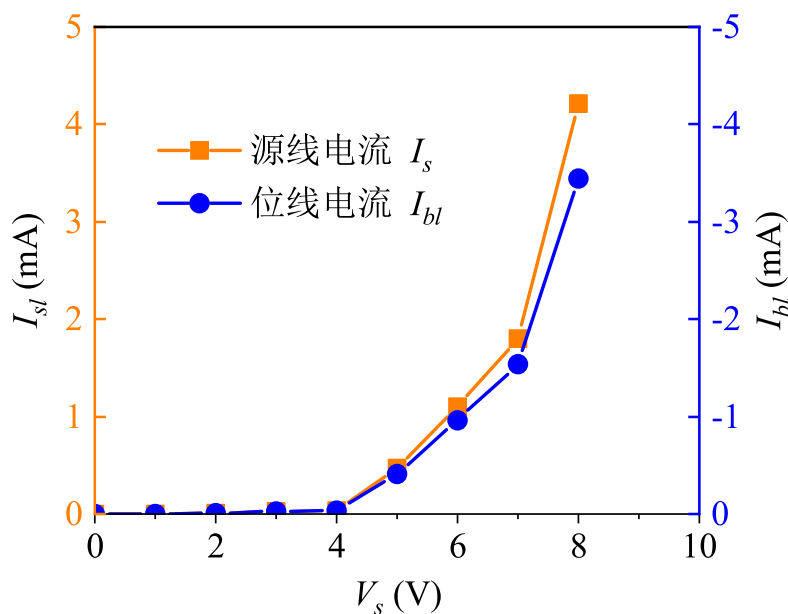


图 3.11 源结加压时的源线和位线电流

Figure 3.11 I_{sl} and I_{bl} curves when stressing source junction

从图中我们可以观察到，在 4V 之前源线和位线并没有检测出大电流，这是由于栅端和漏端均无电压，源结与衬底 PN 结呈反偏状态，不能导通。然而超过 4V 后，源端漏端电流均开始增加，这是由于源端强场引起的耗尽区扩大，导致源端与漏端发生穿通，即形成了除沟道外的另一条导电沟道。这条沟道并不在衬底表面，而是在衬底内部。在这之后，其电流值激增，这便是由于源结与衬底间的 PN 结发生了击穿，导致雪崩倍增效应而产生的。这个击穿的全过程电流高达毫安级，在一个编程时间（10 μ s）内，高电流产生的热量足以将闪存器件烧毁，所以，进行操作电压和工艺参数的优化来提升 BV，对新结构操作的可靠性具有重要意义。

3.4.2 位线电压对源结击穿电压的影响

在新结构中，由于编程操作所需加压的条件最多，所以其操作优化也是最复杂的。其中，源线需要直接承担 6.5V 的电压。理论上源结的掺杂设计可以承受这个电压而不被击穿，但对于一个基于 MOSFET 的位单元来说，其字线、位线电压如果设置不当，也会影响源结的击穿电压。在字线不加偏置且其他条件都相同的情况下，位线电压与源结击穿电压的关系如图 3.12 所示。

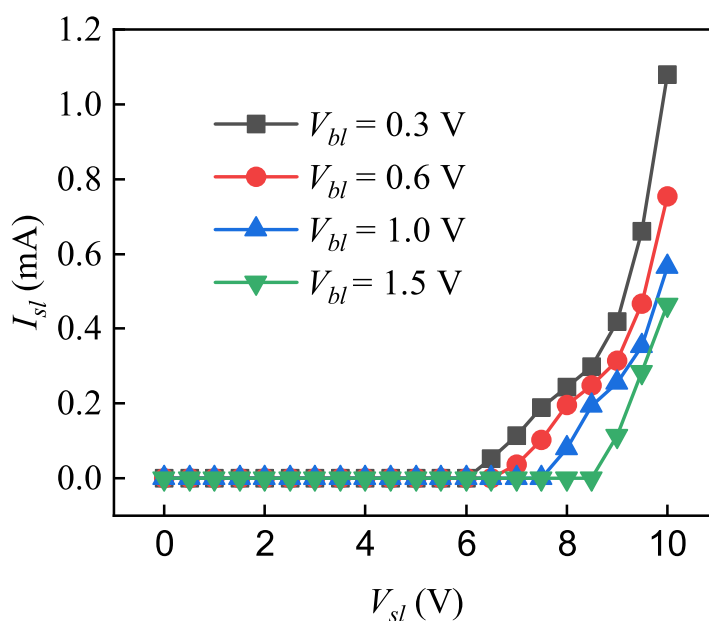


图 3.12 位线电压对源结击穿电压的影响

Figure 3.12 Effect of Bit Line Voltage on Source Junction BV

从图中可以观察到，当位线加压值为 0.3V 时，其源线电流仅在 6V 附近就骤增；而位线 1.5V 时，源线电流在 8V 之后才激增，这表明增加源线电压可以有效增加源结的击穿电压，这是确定编程条件所需考虑的一个重要因素。然而，由于闪存是以阵列的形式排列的，编程时如果给选中的位线应用了特定的电压，则这个电压会在一系列闪存单元中分压而发生变化，即这个位线电压是不可控的。所以闪存单元在阵列中会应用恒定电流的方式进行编程，而这时选中单元位线的电压 V_{dp} 便不是人为控制的，且不能改变。但可以利用上述特性，在对某个特定位单元进行编程时，在其他单元的位线上加高压。这样既可以提高其他字线的阈值电压，避免发生串扰，又可以通过提升位线电压来提升源结的击穿电压。然而，这个电压也不能过高。如前所述，位线（或漏结）附近具有多种漏电机理，极易漏电而发生串扰现象。所以说位线的加压也不可过高，经测量，本单元编程时，未选中单元的位线施加 1.65V 电压可满足以上要求。

此外，对于一个 MOSFET，栅极电压也会对 BV 有一定的影响。栅压的存在会使衬底表面汇聚更多电子，进一步增加了源端（或者漏端）的电流。但对于分栅单元，由于其沟道受字线与浮栅共同控制，且为了使热电子注入浮栅效率更高，编程时字线偏置的电压并不高，所以在实际应用角度来说，栅压对 BV 的影响会比位线电压和源结的工艺参数对 BV 的影响弱一些。

3.4.3 绝缘介质击穿

穿通和雪崩击穿都是场效应管常见的的两种击穿形式。二者主要特点在于，源线产生的电流被衬底漏极收集，由于氧化层或氧化物—氮化物—氧化物（ONO）等隔离介质存在，擦写栅、字线均不会检出电流。然而，如果晶体管工艺条件未能得到很好的控制，导致形成的氧化层质量差，就会造成器件介质的击穿。对本文新提出的单元，由于字线被减薄，其发生击穿的可能性更大。选择一个 I-V 曲线正常的样本单元进行仅源端加压测试，得到结果如图 3.13 所示。

从图中可以观察到，在源端电压在 4V 之前，整个单元并没有明显电流流过。而从 4V 开始到 7V 左右，源线位线同时检出相同电流，这是上述高压穿通导致的结果。而在 7V 之后，擦写栅和字线均有电流流入。这便是由于氧化层被击穿，擦写栅电子和字线内电子均发生了能带到能带的隧穿，进入了衬底并被源结收集。随着源极电压持续增大，耗尽区的扩宽至字线以下，大电流及热量导致超薄

氧化层被击穿，字线中的电子汇入源线，削弱了源端电压，增加了结电阻，在一定程度上降低了击穿电流，在这个过程中，电流高达 4mA。

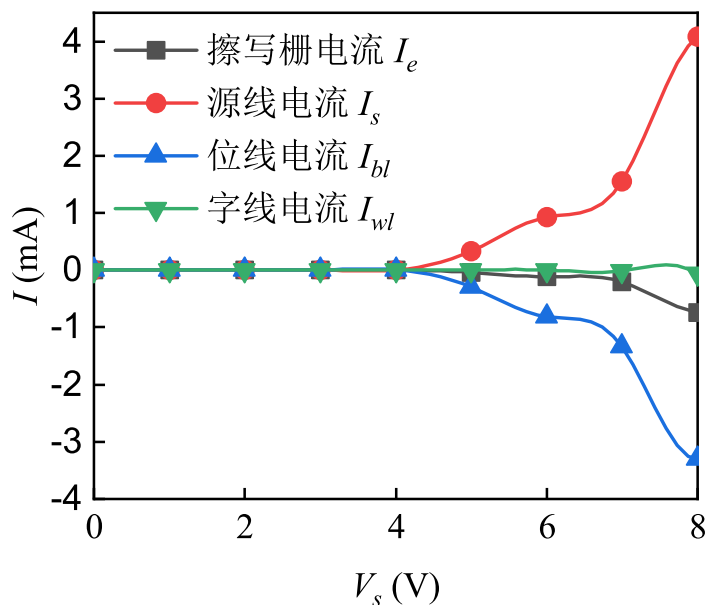


图 3.13 源结加高压致绝缘介质击穿的电流曲线

Figure 3.13 The current curves of oxide breakdown induced by high source stress

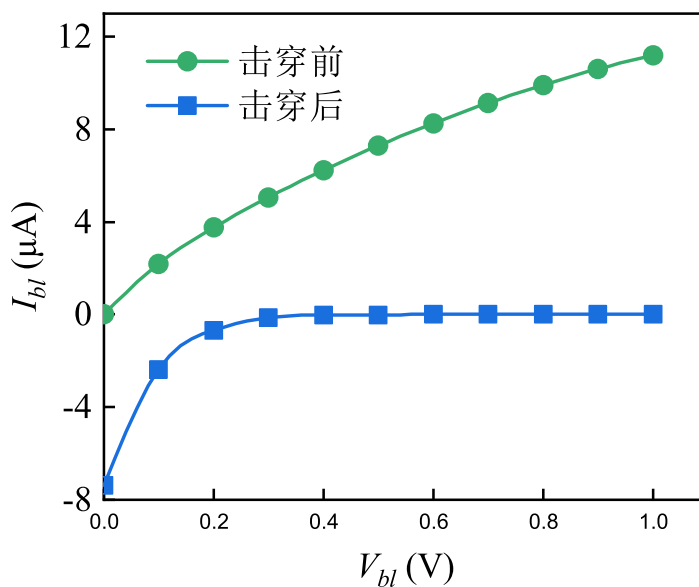


图 3.14 击穿前后的 I_{bl} - V_{bl} 曲线

Figure 3.14 I_{bl} - V_{bl} curves before and after oxide breakdown

值得注意的是，这种绝缘介质直接击穿导致的器件失效是不可恢复的。在字线加压 1.5V 的情况下，分别扫描该单元击穿前后的 I_d - V_d 曲线，得到结果如图 3.14 所示，从中可以观察到击穿后无偏置时，栅极流入了很高的电流，随着电压升高而逐渐稳定，这说明该结构其他地方存在到位线的漏电通路。

对此单元再次进行 I-V 测量，仅在字线施加电压，可得到图形如 3.15 所示。由图可知，即使位线与字线都不加电压时，字线也有电流流出，而这个电流主要被源线和位线收集，这代表着此时就存在由字线到源线的电流通路。而随着字线电压增加，漏结电子、源结电子以及擦写栅隧穿电子流入了字线通路，组成了字线到这三个端点的电流，其中由源线直接到位线的通路最为明显，进一步佐证了上述判断。

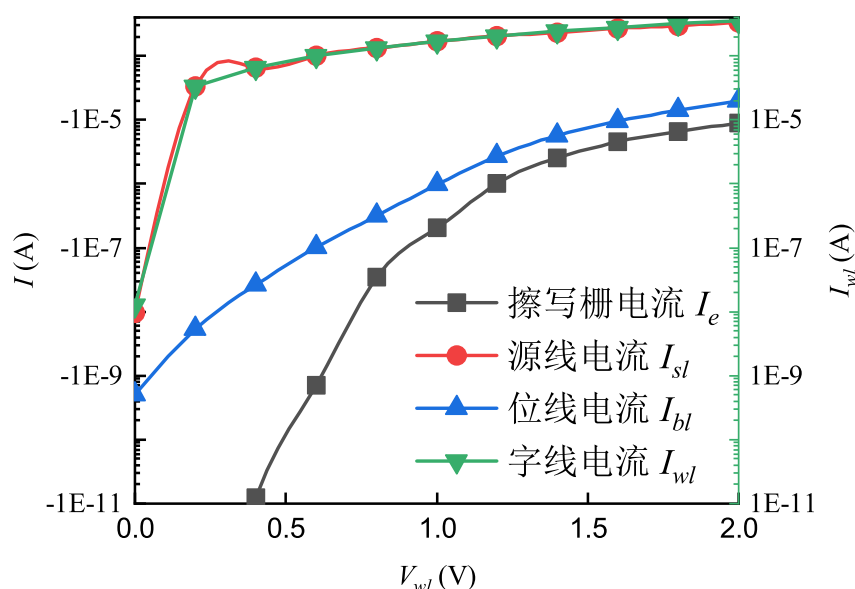


图 3.15 氧化层击穿后的电流分配

Figure 3.15 The current distribution after oxide breakdown

这种现象并不是每一个单元都会发生，但这种漏电一旦发生，不只影响该单元准确性，还会对其他单元造成严重的串扰，选中其他单元时检出的位线电流也不再准确。所以工艺过程，尤其的源结、漏结的大小，和超薄氧化层的形成，对器件稳定性至关重要，这也揭示了进行工艺研究的必要性。

3.5 本章小结

本章阐述了具有低读取阈值电压的闪存单元结构设计思路，主要是两方面，一方面是增加擦写栅，这样可以将擦除时本应施加在字线的电压转移在新的栅极上，从而降低字线需承受的最高电压；另一方面就是减薄字线氧化层，这样除了提高了字线对沟道的控制能力外，还可以大幅度降低读取时所需电压，以此实现了小的读取电压获得大读取电流。

本章还介绍了新闪存单元结构的阵列设计。主要是每个结构中两个位单元共享源线、擦写栅，但利用不同的字线和位线驱动。此外，传统的分栅闪存结构中，需要承担电压偏置的地方都会在上层由多晶硅直接引出，而新结构中，新增的擦写栅与源线处在空间重叠位置，不能直接通过多晶硅引出。本文则提出了可以使源线直接在有源区层面互连的方法，即形成前文所述的“H-bar”，解决了这个问题。

本章还提出了实现这个结构的两种不同浮栅形貌的方案，一个用平整的浮栅的方案 I，另一个则运用了尖端浮栅方案 II。但由于圆角增强效应的存在，方案 I 电学特性整体表现并不劣于方案 II，相反在工艺复杂度、耐久性和抗列串扰能力具有极大优势，是本文在工艺研究部分所采用的方案。

最后本章还系统研究了闪存击穿电压的发生机理，其中，穿通和雪崩都是基于特定物理原理，由于衬底内源结的扩大或者源结与衬底的反偏结被击穿导致的电流通路的形成，使得电子不经沟道就可以向漏端和衬底泄露。这两种击穿有时会先后发生，击穿电压会随着字线电压增大而降低，随着位线电压增加而增加。而栅氧介质的击穿则是由于介质形成不好，在加压后导致氧化层迅速退化，使得源端、漏端电子可以穿过氧化层通过字线或擦写栅释放。击穿情况与工艺参数关系密切，所以以上结论这对闪存操作条件的最优化和工艺参数的调节与提升具有重要意义。

第 4 章 低阈值闪存单元制造流程与工艺参数研究

上一章对低阈值电压的结构设计以及电学和可靠性参数进行了充分研究，证明了本文提出的新结构的创新和优势之处。基于上一章的结论，本章将详细介绍新结构方案 I 在华虹宏力 $0.11\mu\text{m}$ 节点产线上进行的样品制备的制造工艺流程、包括具体的参数、不同的工艺条件对闪存单元形貌和电学特性的影响。

4.1 闪存单元的制造

4.1.1 新结构主要制造工艺

分栅闪存的每个位单元实质上就是传统的 MOSFET 新增了一层存储电荷的材料制成，所以它的制造流程与现行的 CMOS 工艺完全兼容。闪存单元的制造过程实质上也是一个工艺整合的过程，每一个步骤的参数变动都会影响到最终闪存单元的整体形貌、性能以及可靠性。本文提出的新结构的制造过程及后续的参数调节主要涉及一下四种工艺步骤，如图 4.1 所示，下面对他们做简要介绍。

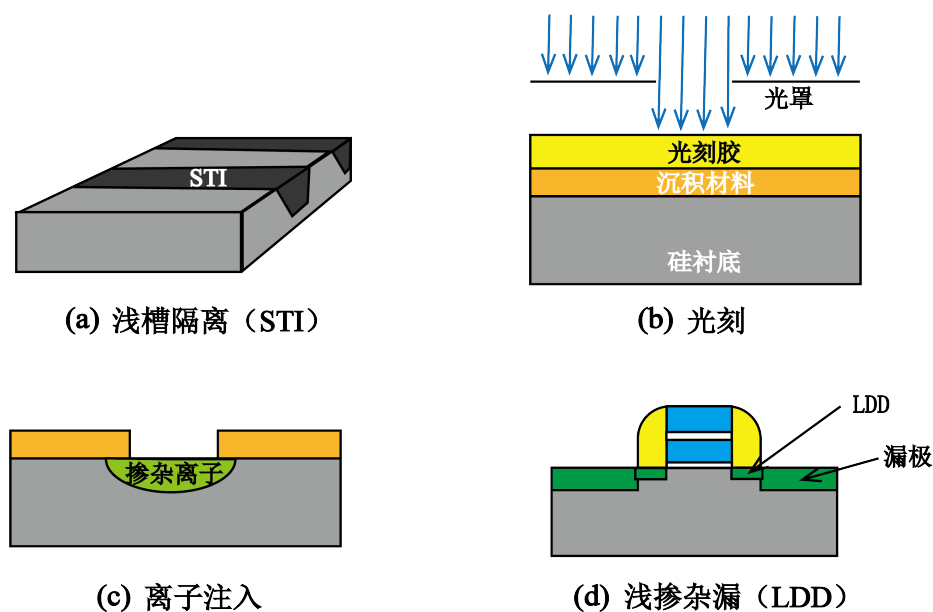


图 4.1 新结构的主要制造工艺步骤

Figure 4.1 The main manufacturing process of the new flash cell structure

(a) 浅沟槽隔离

在现代集成电路的制造中，所有的芯片是在一片晶圆上经过同一套完整的工艺流程而制造，不同晶体管在同一芯片上同时工作而不互相影响，这得益于隔离层的作用。最初的隔离是运用局部热氧化（LOCOS）工艺制造，但由于“鸟嘴效应”的日益严重，LOCOS 已经逐渐被浅槽隔离（STI）技术取代。STI 填充会在芯片的主要部分开始制造之前，将整片晶圆分为有源区和隔离区。其中有源区就是晶体管或者闪存单元之后要形成的地方，而 STI 则是填充的绝缘电介质材料，以实现有源区的隔离。STI 的填充既平衡了每个 die 的应力，又可以避免相邻晶体管的相互影响，所以精确控制浅槽隔离的宽度与深度、有源区的关键尺寸（CD）等指标对于器件的稳定性十分重要。

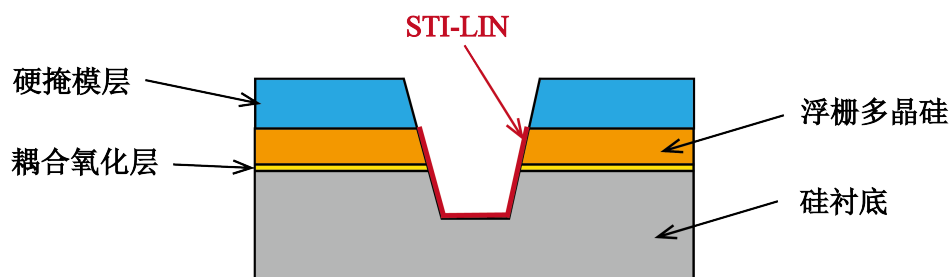


图 4.2 用作隔离的高粘附性原位水汽氧化层

Figure 4.2 ISSG used as isolation layer with higher adhesion

STI 具体的形成过程总体来说是一个先刻蚀后填充的过程，刻蚀以定义有源区，填充来形成隔离。在本文提出的闪存单元制造流程中，在 STI 沟槽的刻蚀后，STI 氧化物填充前还进行了一步前氧化物的填充 STI-LIN，如图 4.2 所示。该结构是利用原位水汽氧化（ISSG）形成的一层高质量的薄氧化层。与直接填充的氧化物相比，这一薄层对硅侧壁的粘附性更强，之后会与直接填充的氧化物结合，可以最大限度的防止漏电流的产生，提升了 STI 隔离质量，还可以降低“微笑效应（smiling effect）”等形貌问题。在这之后还需进行退火以释放应力，进一步提升粘附性。传统的 STI 运用等离子体增强的化学气相沉积（PECVD）的方式进行，然而随着集成电路关键尺寸的微缩，浅槽的深宽比越来越大，用此方法填

充会产生中部的夹断和空洞 (void)，所以这种方法不再适用。本结构的制造中，STI 运用了高密度等离子体刻蚀辅助的化学气相沉积 (HDP-CVD) 的方法进行，即在填充过程中等离子体增强刻蚀和化学气相沉积同时进行，边刻蚀边填充，有效避免了沟槽下方 void 的形成。

此外，由于本文提出的新结构源极与擦写栅重合而无法通过上置多晶硅引出，所以就需要在衬底中两行有源区间留出一条源线通道，这对 STI 的形成，尤其是光刻和刻蚀步骤提出了更高的要求。

(b) 光刻

光刻是将半导体电路上的图形逐层印制到硅片上的步骤，其主要原理是利用光与光敏感物质（即光刻胶）的光化学反应所展现出对比度变化来定义图形。光刻时需要光罩 (mask) 将整个芯片分别感光区和非感光区，感光区的光刻胶将被曝光。光刻胶是主要由树脂和感光成份和溶剂组成的一类特殊的有机物，其中的感光成份会在曝光后发生反应或转化，使得光刻胶在显影液中的溶解度发生变化（比如溶于显影液），以此来定义图形。一次完整的光刻过程共有 8 个步骤，其中最重要的三步就是涂胶、曝光和显影。对于一些特定的光刻胶，为了使其能够发生光化学反应使得其在显影液中溶解，曝光后的烘烤 (PEB) 也是必不可少的一步。显影即是用显影液洗去溶解了的光刻胶，从而定义了图案。在这之后便是刻蚀过程，此步骤将先前定义的图案转移到芯片上。

光刻是整个工艺流程中最昂贵也是最复杂的一步，光源参数的微小变化（比如光强、焦深）、控制参数的微调（比如烘烤时间）、还有本来就存在的物理效应（比如光的衍射、驻波效应）等，都会影响光刻显影后的实际图案。在新结构的制造过程中，光刻的参数控制对源线的连接十分重要。焦深-光强矩阵 (FEM) 实验是一个用于分析曝光条件的实验，其通过在两个维度上分别改变光强量和焦点深度来确定一定光刻条件下的样本待测指标的变化，以此来进行对比和参数最优化。

(c) 离子注入

离子注入是半导体工艺中实现掺杂的一种形式。所谓掺杂，就是将杂质粒子（如磷、硼等）掺入硅片的特定区域，以改变其电学特性的一个工艺步骤。早期的掺杂通过离子的直接热扩散实现，这种方法原理简单，易于操作。但它是一个需要极高温度的热过程，而且掺杂的参数与形貌也难以控制。一般情况下，掺杂

表面离子浓度高，而较深的埋层掺杂则难以实现，所以在进行结掺杂时，这种方法现在已被离子注入取代。离子注入是将杂质在低温条件下通过离子加速器加速以获得足够的能量，从而具有穿过材料表面实现掺杂的能力，以此实现特定位置的掺杂。与传统的扩散相比，离子注入具有许多优势，包括无需高温、剂量和形貌可控、掩膜材料选择多等。

离子注入的浓度与注入距离之间的统计图大体服从高斯分布，具体结果由四个参数决定，分别是注入时注入离子具有的能量、注入离子的剂量、离子种类和掩膜形状。离子注入的能量与注入离子所能达到深度呈正相关；离子注入的剂量直接决定了掺杂的浓度，进而决定了掺杂结的薄膜电阻和其他电学参数；掩膜版形状决定了掺杂粒子的平面内几何分布；离子种类决定掺杂的载流子类型是施主还是受主，同型粒子因其质量、和扩散能力各不相同，其掺杂后的深度和形貌也各不相同。

在实际的离子注入过程中，在注入区域的边界处，注入离子浓度与原材料中离子浓度不同而存在浓度差，所以扩散现象还会发生。注入离子的分布也会由于伴随的扩散现象而发生一些变化，主要影响的是上述高斯分布的指数项。此外，为了修复离子注入造成的晶格损伤，并且激活掺杂的杂质离子，在离子注入后通常会加入快速热退火工艺，比如尖峰退火、毫秒级退火等。

(d) 浅掺杂漏 (LDD)

随着现在器件的沟道长度逐渐减小而驱动电压没有等比例减小的情况下，作用在沟道的电场会随着沟道的减小而逐渐增强。强电场会在漏端激发出电子-空穴对，其中空穴被衬底收集，形成了衬底电流；而电子则会由于栅极高压耦合电场的存在而注入栅极，即发生了热电子注入效应。LDD 的存在可以将漏极延长，在靠近沟道处形成了高电阻区，使得漏端高压在 LDD 靠近沟道处的地方得以下降。新结构的制造过程中，LDD 就是通过向位线漏极旁，字线侧墙下直接注入浓度低于漏极掺杂的砷而形成。LDD 的存在可以降低字线侧墙下的电阻，并且可以降低发生短沟道效应的可能性。如上所述，其注入的剂量与能量都会决定 LDD 的扩散范围，进而影响了字线下杂质浓度的扩散分布，这会直接影响闪存单元的读阈值和漏电情况，所以调节控制 LDD 时的相关参数，对闪存单元性能和可靠性都至关重要。

4.1.2 工艺流程

该新结构在华虹宏力 0.11 μm 微米节点工艺产线完成了流片，该产线是技术成熟的已经具备量产水平的产线，工艺波动较小。闪存的擦除栅通过自对准工艺形成，浮栅长度 0.15 μm ，字线多晶硅长度 80nm，侧墙 50nm。与传统单元结构相比，新结构在没有带来过高的工艺复杂度的基础上，大幅降低了静态功耗，并提高了稳定性。闪存存储器的单元结构和外围电路将同时制造，二者通过浅槽隔离技术隔开，避免互相影响。新结构流片制造的工艺流程中关键步骤如图 4.3 所示，具体流程如下：

(a) 氧化层、多晶硅以及硬掩模沉积。其中，多晶硅用作保存电荷的浮栅层，硬掩模选用氮化硅，这一层沉积的目的的一方面是作为后续浅沟槽隔离的抛光停止层，另一方面是可以调整光刻的摆幅曲线。在这之后进行光刻定义有源区并填充 STI，以隔绝闪存单元与外围电路在制造过程中的相互影响。

(b) 浮栅区域定义。此步骤在定义完有源区后进行，在浮栅区域开口打开后应首先进行掺杂，以调节该区域阈值电压。在这之后运用热氧化 (HTO) 方式沉积一层氧化层，这层氧化层为隔离位单元的第一层侧墙，并控制浮栅长度。

(c) 源结掺杂。该新单元结构为源线共享式的对称单元结构，此源极为左右两个位单元共享，它的形成对闪存性能影响至关重要。源结采用磷和砷两种不同质量的元素同时掺杂，以同时定义掺杂区域的宽度和高度，在性能上保证接触电阻大小和击穿电压大小同时满足要求。所以，这两种元素注入的剂量比例与注入能量对源结的形成至关重要。

(d) 隧穿氧化层沉积。闪存单元的擦除操作是通过多晶硅到多晶硅隧穿进行的，所以隧穿氧化层的厚度和质量对擦除性能至关重要。在样品制备中，隧穿氧化层厚度为 5 \AA 。此外，圆角的形貌增强了局部电场，从而提高擦除效率。

(e) 擦除栅多晶硅沉积。擦除栅是用低掺杂的多晶硅直接沉积形成。沉积后需要再沉积一层氧化层，以保护擦除栅多晶硅在后续浮栅多晶硅刻蚀中免受影响。之后便可以将硬掩模层和多余的浮栅多晶硅、耦合氧化物去除。

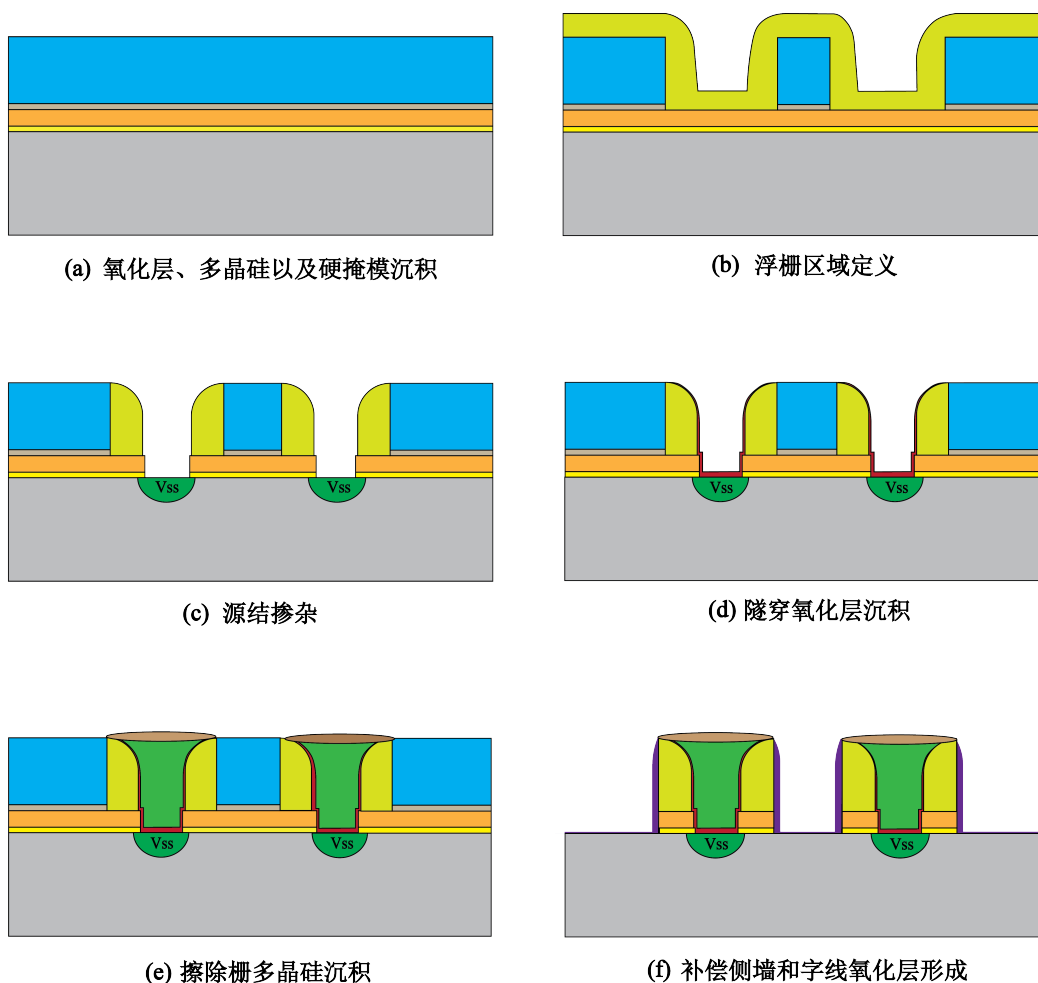
(f) 补偿侧墙和字线氧化层形成。补偿侧墙包裹浮栅多晶硅，其成份为多层氧化物和氮化物的结合体。这样做的目的是为了降低介电常数，同时避免多晶硅与氮化物之间产生的量子力学效应导致阈值电压不可控。字线氧化层则靠热氧化形成，用这种方式形成的氧化膜质量好，缺陷少，使字线多晶硅对沟道有最优

的控制能力，又可以降低缺陷和氧化层陷阱电荷出现的概率。

(g) 记忆多晶硅 (MPL) 形成。记忆多晶硅在此单元结构中即字线多晶硅，它是先沉积纯净多晶硅后定量掺杂，之后进行光刻和各向同性的刻蚀后形成。MPL 形成后通过自对准刻蚀蚀刻掉多余的字线栅氧化层以定义浅掺杂漏区，字线下衬底内则注入了 Halo 和 LDD 以避免漏致势垒降低 (DIBL) 和栅致漏结漏电 (GIDL) 效应。

(h) 漏结形成。在字线多晶硅外再次进行 ONO 三层沉积来保护多晶硅，同时定义了两个位单元的漏区。与源结类似，漏结的形成同样采用了砷和磷两种元素同时掺杂，既可以降低接触电阻，又可以提升漏结的击穿电压。

(i) 自对准硅沉积。这是该闪存单元基本结构形成的最后一步，这一步自对准硅的沉积的主要目的使将暴露在外的多晶硅全部保护起来，以避免外围和后续工艺对闪存单元结构的关键部分造成影响。



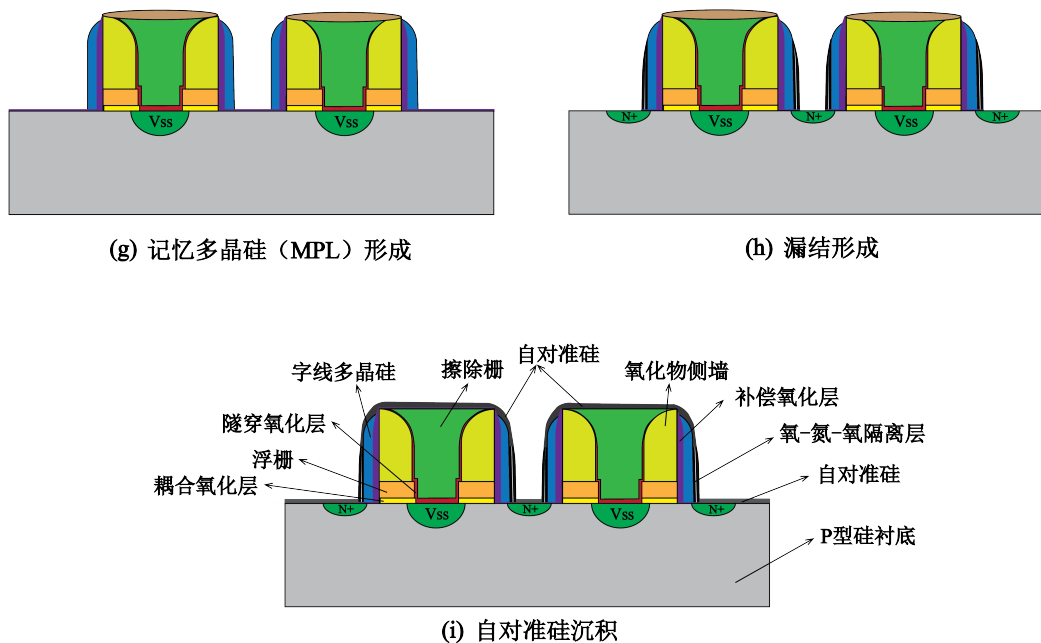


图 4.3 新结构制造工艺流程

Figure 4.3 Process flow of the new flash cell structure

4.1.3 端头的形成

除了主要的闪存单元形成步骤外，为了降低字线互连电阻，使得读电流窗口更大，新结构在制造过程中还采用了特殊的端头设计，如图 4.4 所示。这种结构可以增大字线与多晶硅的接触面积，从而降低了接触电阻。

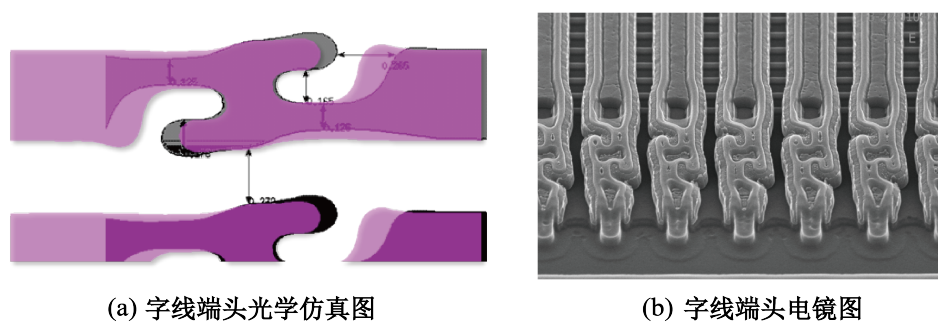


图 4.4 光学仿真图和电镜图

Figure 4.4 Optical simulation result and SEM image

4.2 工艺参数的调节

4.2.1 版图规划对源线连接的影响

有源区是定义闪存单元的关键区域，H-Bar 则是连通源结，使新结构能够实现所需功能的重要保证。理想情况下，ACT 曝光显影后的目标宽度为 $0.17 \pm 0.015 \mu\text{m}$ ，刻蚀后为 $0.148 \pm 0.015 \mu\text{m}$ ，ACT 和其形成的 H-bar 两部分都是长方形的区域，且垂直相交以使得器件达到最佳性能。然而在实际光刻过程中，光的衍射使得实际形成的形状有一定的曲率，即暴露的 STI 为椭圆形区域，如图 4.5 (a) 所示。这样就会使得形成的 ACT 和 H-bar 有时过宽 (4.5 (b))，有时过窄 (4.5 (c))，边缘不规则，甚至断裂 (4.5 (d))。

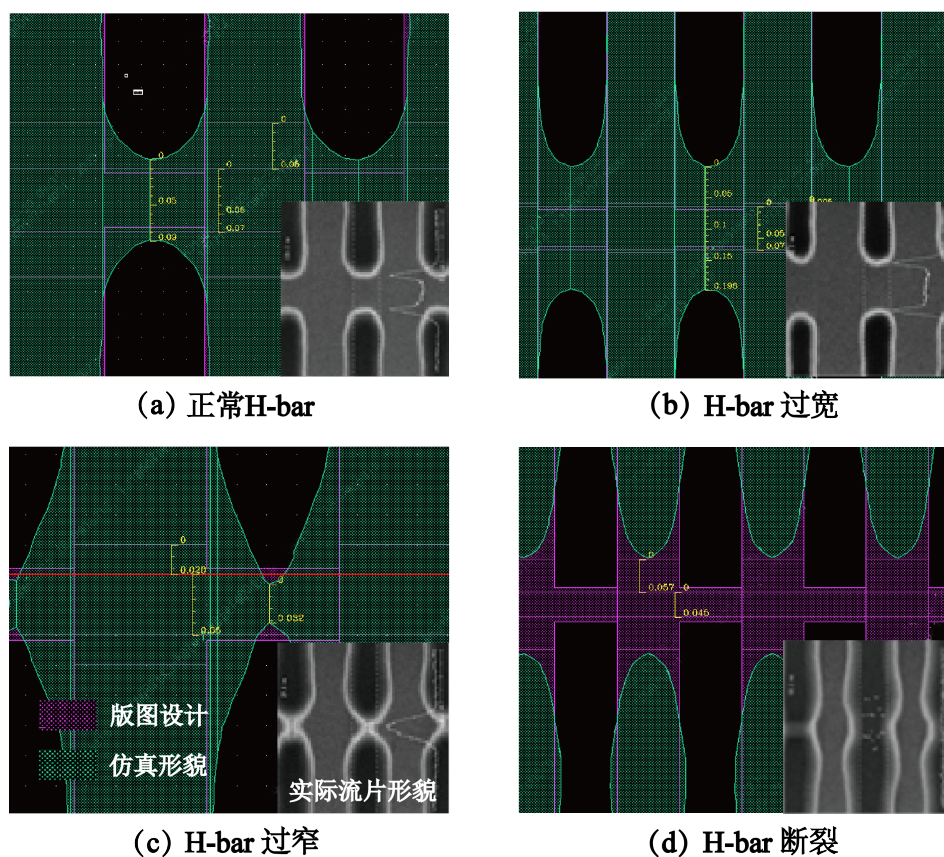


图 4.5 H-bar 的四种形成情况

Figure 4.5 Layouts of H-bar

根据曝光后显影相关理论，版图定义宽度与实际流片后的宽度有一定差距，版图上 H-bar 的宽度 (w) 和 H-bar 与 ACT 间距离 (s) 对光刻显影后 H-bar 的宽度 (w_d) 和最终形成的图案均有影响。实验设计了 H-bar 宽度从 40 到 70nm，H-bar

到 ACT 间距从 5 到 80nm，每 5nm 取一个长度的 a、b 条件各不相同的 16×7 个实验单元进行仿真，并分析了这些单元中有代表性的量测如下图 4.6 和 4.7 所示。

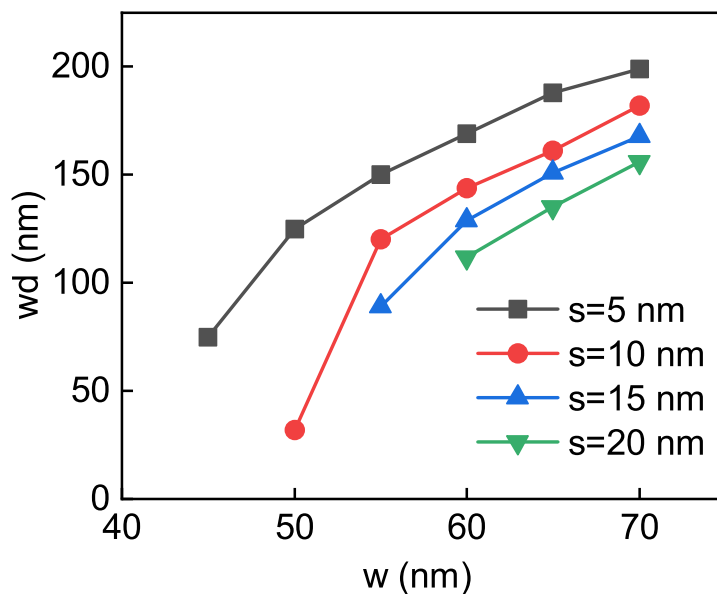


图 4.6 H-bar 版图设计宽度与实际光刻显影后量测 (ADI) 的宽度仿真值的关系

Figure 4.6 The effect of the designed width of H-bar in layout on simulated ADI CD

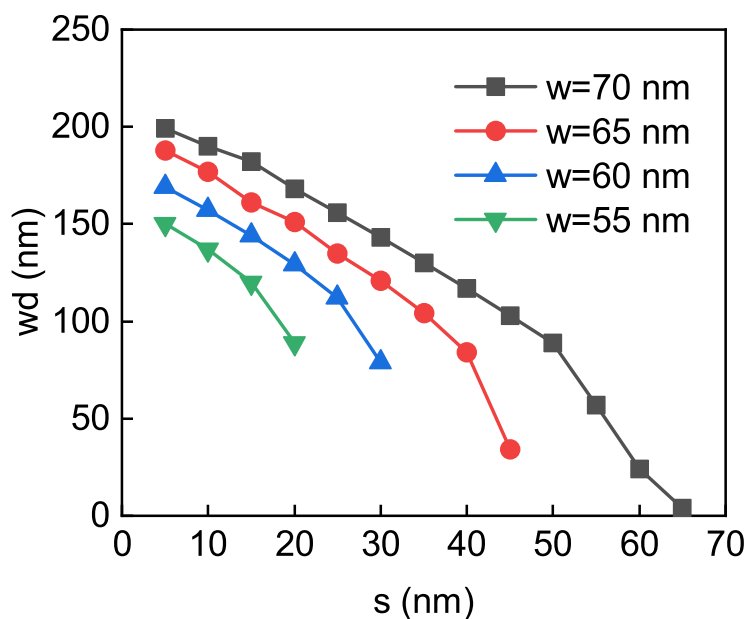


图 4.7 H-bar 与 ACT 版图设计距离与实际光刻显影后量测 (ADI) 的宽度仿真值的关系

Figure 4.7 The effect of spacing between ACT and H-bar on simulationed ADI CD

图 4.6 显示了当 H-bar 与 ACT 距离 s 一定时, H-bar 曝光显影后宽度的仿真值对于不同的 H-bar 版图宽度 w 的关系。由图可知, H-bar 显影后宽度随着 w 的增大而增大。图 4.7 则展示了当 H-bar 版图宽度 w 一定时, H-bar 曝光后宽度仿真值对 H-bar 与 ACT 宽度 s 的变化关系。由图可知, H-bar 显影后的宽度随着 s 的增大而减小。

除此之外, 在同一个图中的不同条件下, 得到的不同曲线长度不同, 也就是得到的有效值数量不同, 而且各折线并不完整。以图 4.6 为例, w 为 65nm 时, s 在 5 到 80nm 范围内, 理论上应得到可得到 18 个仿真值, 但实际上只有 9 个有效值, 这是因为 s 值已取到极限, 此实仿真图形如图 4.5 (c) 所示。此时 s 值再增大, 曝光显影后的 STI 沟槽将会穿通预留的区域, 即 H-Bar 断裂, 也就无法量测其长度了, 此实显影后的状态如图 4.5 (d) 所示。 w 越小, 不同 s 值对应的 w_d 的变化幅度也就越大, 发生断裂的点就会前移, 图 4.6 同理。图 4.8 展示了不同在 s 和 w 取值范围内断裂点位置的分布。

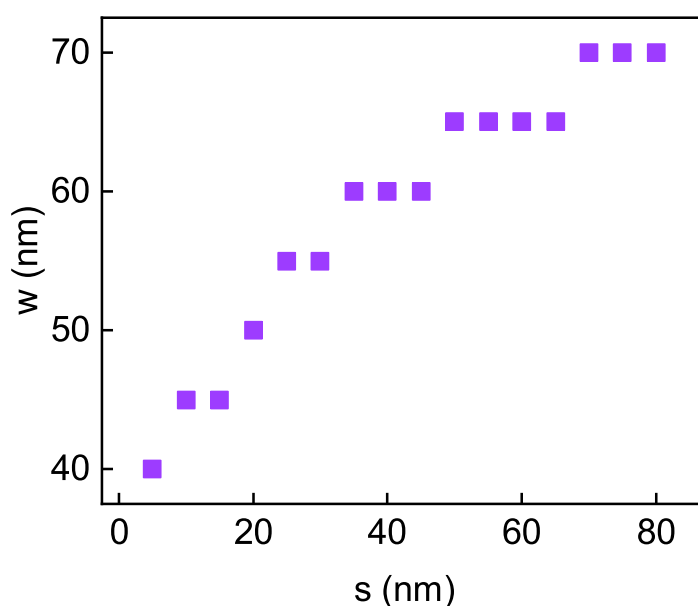


图 4.8 H-bar 断裂点的分布

Figure 4.8 Distribution of H-bar breakpoints

有源区过宽会削弱 STI 的作用, 不利于两个浮栅的物理隔离, 器件可靠性降低甚至失效, 过窄 (即 STI 过厚) 则会使得源结之间连通的电阻增大, 通过电流极小, 如果断裂则会导致源结之间无法连通, 器件同样失效。所以, 版图的设计

和工艺参数，尤其是光刻的剂量和焦深，对新结构阵列的形成至关重要。从仿真中可以得到以下三点：

(1) 光刻显影后 H-bar 的宽度随 w 的增大而增大，随着 s 的增大而减小。减小 s 后，利于光刻后两边的 ACT 向 H-bar 扩展。

(2) 光刻显影后 H-bar 的宽度随 w 的变化幅度比其随 s 的变化幅度更大，即其对 w 的变化更为敏感，为给工艺留出足够的波动范围，H-bar 的版图宽度应维持在 70nm 或以上。

(3) 设计时过宽的 H-Bar 将会在光刻后侵占 STI，使得其不能完成隔离的作用，导致期间漏电。由形貌判断，H-bar 显影后宽度应在 90nm 附近。

4.2.2 光刻参数对源线连接的影响

除版图规划外，光刻的工艺参数也对形成的 H-bar 的形貌有直接影响，其中包括光强 (dose) 和焦深 (DoF)。为确定合适的光刻条件，在版图的仿真中结果较好且具代表性的样本阵列被选中进行了 FEM 实验，分别得出了其在不同光强和不同焦深下显影后量测 (ADI) 和刻蚀后量测 (AEI) 的矩阵图。矩阵图中心位置的光能量为 $19.4\text{mJ}/\text{cm}^2$ ，焦深 0。在纵向上，光剂量以 $0.8\text{mJ}/\text{cm}^2$ 为梯度变化；在横向上，焦深以 $0.08\mu\text{m}$ 为梯度变化，得到 ACT 光刻和刻蚀后结果分别如图 4.9 和 4.10 所示。H-bar 光刻和刻蚀后结果分别如图 4.11 和 4.12 所示。

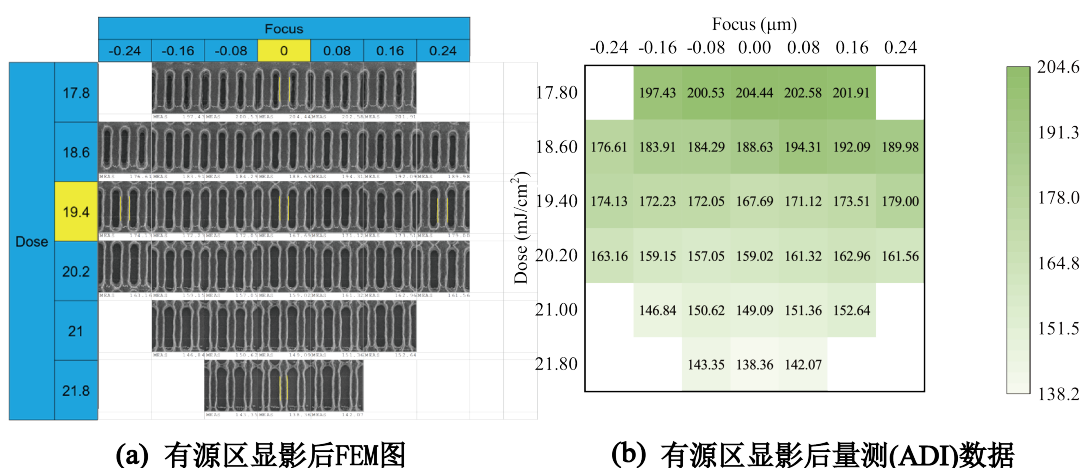


图 4.9 有源区光刻显影后形貌和关键尺寸的焦深-光强矩阵图

Figure 4.9 Profile and FEM analysis of ADI CD of active region

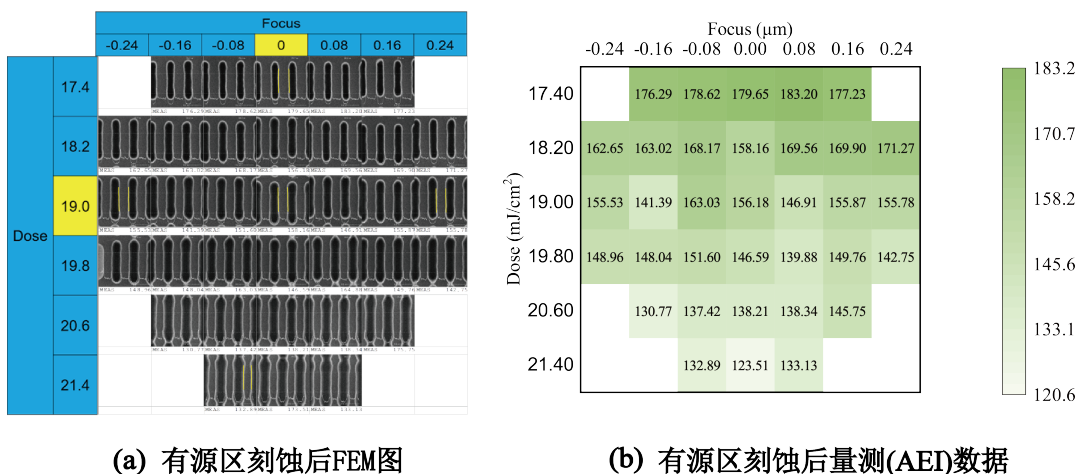


图 4.10 有源区刻蚀后形貌及关键尺寸的焦深-光强矩阵图

Figure 4.10 Profile and FEM analysis of AEI CD of active region

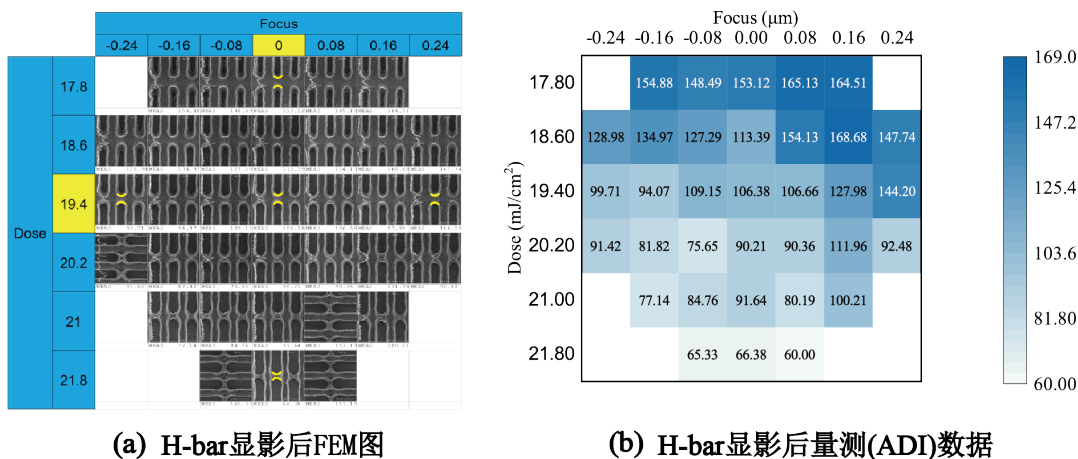


图 4.11 H-bar 光刻显影后形貌和关键尺寸的焦深-光强矩阵图

Figure 4.11 Profile and FEM analysis of ADI CD of H-bar

综合分析这四组数据可知，器件的关键尺寸随着曝光能量的增加而降低。当焦深为 0，光源 dose 量为 $19.8\text{mJ}/\text{cm}^2$ 时，ACT 图案正常，而 H-bar 形貌明显过宽。而当焦深不变，dose 量为 $21.8\text{mJ}/\text{cm}^2$ 时，ACT 和 H-bar 明显变窄，刻蚀后 H-bar 断裂，这就导致源线无法连通。造成这一现象原因是由于光的能量越强，曝光掉的光阻区域越大，STI 的填充占据了大部分面积，留下的有源区面积则越少。

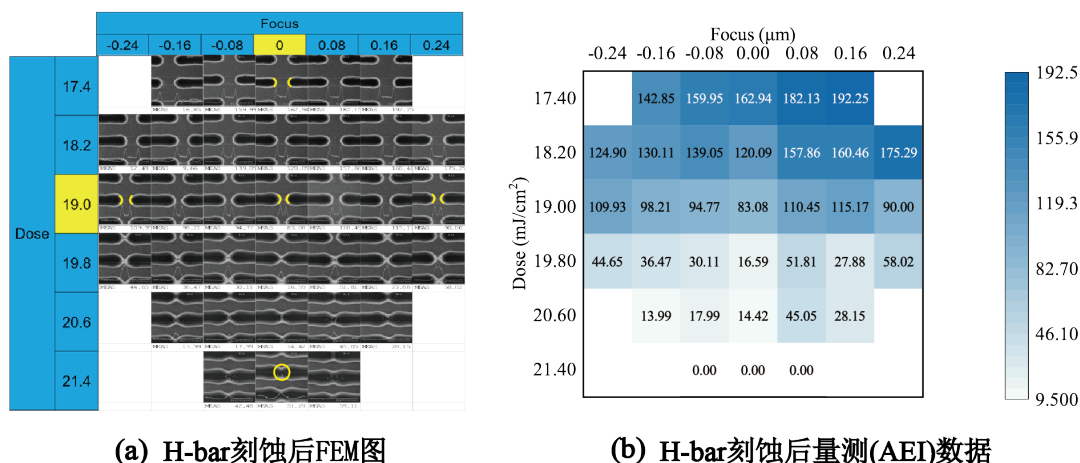


图 4.12 H-bar 刻蚀后形貌及关键尺寸的焦深-光强矩阵图

Figure 4.12 Profile and FEM analysis of AEI CD of H-bar

另一方面，其关键尺寸随着焦点位置在有单调变化的趋势，但一些“坏点 (die)” 使得其存在波动。这是由于焦点位置决定了光刻时光的能量聚焦的地方，值为 0 时其刚好置于光阻中，大于 0 时其聚焦于光阻之上，导致刻蚀出现上宽下窄的梯形沟槽，而小于 0 时，光聚焦在光阻之下，显影后出现上窄下宽的倒梯形沟槽。如果沟道过宽，甚至会导致旁边光阻的倾倒，所以会出现一些量测结果不准的点。此外，在刻蚀的时候，由于焦深改变使得显影后光阻呈不规则的梯形，所以刻蚀后的尺寸会由于角度大小而呈现不确定性，但与 dose 量相比，DoF 对形貌的影响较小。除此之外，减小 ACT 设计宽度与增加其间距可以降低 ACT 的边缘不规则性，这可理解为 ACT 边距增窄，STI 曝光区域就会变宽，光的衍射对实际图案形成的影响减弱。

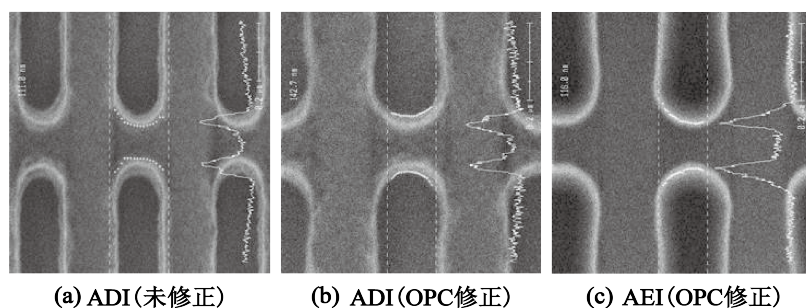


图 4.13 OPC 修正效果

Figure 4.13 OPC correction performance

此外, 综合考虑版图和实际曝光的图案差异, 在版图图形密集的地方, 由于光的衍射效应, 实际曝光出来的图形会和版图设计存在差异。如前一节所述, 理想的图案是矩形, 但曝光后多为椭圆形, 且边缘不规则。运用光邻近修正 (OPC) 后可以改善图案形貌, 如图 4.13 所示。OPC 修正也可以使最终形成的图案尺寸更接近于期待值, 如图 4.14 所示。

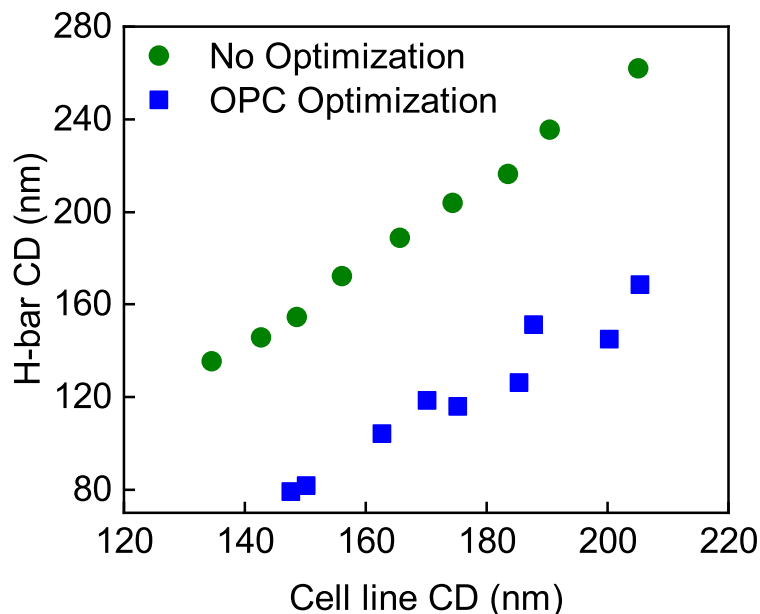


图 4.14 OPC 前后的 H-bar 变化

Figure 4.14 H-bar profile changes before and after OPC

4.2.3 字线下三种掺杂对读电流窗口的影响

由上章所述, 闪存的“1”电流主要由字线的过驱动电压决定, 而在外加的读电压 V_r 不变的情况下, 其擦除后阈值电压 V_{te} 便决定了“1”电流的大小, 从而决定了读窗口。字线的阈值电压除了与栅氧化层厚度有关, 还和其对应部分的衬底表面掺杂浓度有关, 所以研究字线下的掺杂浓度对确定其阈值电压至关重要。氧化层厚度由外围电路的基准电压确定, 字线下浓度一般是通过直接掺杂调节的。然而, 在本结构的形成过程中, 由于字线位于漏结旁, 字线下衬底实际的载流子浓度不同于掺杂的浓度, 而是还包括两个浓度因子: LDD 的扩散浓度和 Pocket 浓度。在本结构中, 沟道长度与位线、字线所加的电压相匹配, 理论上无需用 LDD 抑制热载流子效应, 然而字线旁侧墙与漏结的注入位置存在一定距离, 如果不进行掺杂, 则会使该器件导通时电阻过大, 所以在此结构中, LDD

起到了连接漏结与字线下方沟道的作用。Pocket 指的是注入的一层与衬底同型的低浓度掺杂硼离子，其主要作用是防止漏结和源结之间的穿通。为了使其起作用，在 pocket 离子注入时会以倾斜与平面法线的 45° 方向注入，如图 4.15 所示。注入位置位于字线下方，所以它的浓度也会对字线阈值电压和亚阈值电流存在影响。因此，衬底浓度、LDD 浓度和 Pocket 共同影响了字线晶体管的阈值电压。为探究三个浓度值对于实际字线下阈值电压的影响，实验样本被分为 5 组，其中一组作为对照组，另外 4 组分别改变了 Pocket 和 LDD 浓度，所用条件如表 4.1 所示。所有样本又可归纳为三小组进行分析：

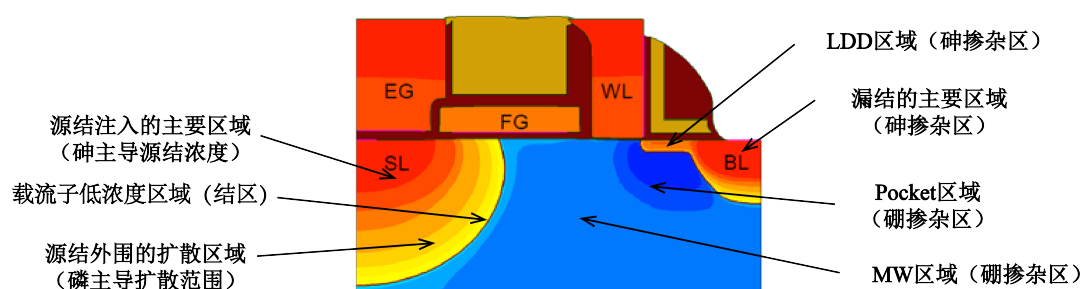


图 4.15 新结构的掺杂形貌

Figure 4.15 The doping profile of new flash cell structure

表 4.1 字线下杂质注入实测样本集

Table 4.1 The sample set with different dopants conditions under WL in experiment

样品组别	MW 浓度 (cm^{-3})	POC 浓度 (cm^{-3})	LDD 浓度 (cm^{-3})
S1	5.0E12	2.3E13	2.0E14
S2	4.0E12	2.3E13	2.0E14
S3	6.0E12	2.3E13	2.0E14
S4	5.0E12	2.3E13	1.5E14
S5	5.0E12	2.3E13	1.0E14
S6	5.0E12	2.0E13	2.0E14
S7	5.0E12	2.6E13	2.0E14

(a) MW 浓度对“1”电流的影响

MW (Memory Well) 即一整个 die 上整个记忆区的掺杂, 这是在衬底掺杂外的第一步对闪存单元区的掺杂, 其掺杂范围最广, 包括字线、浮栅及源线控制的衬底表面的部分, 这个掺杂也是第一个决定字线阈值电压的因素。三种不同硼注入浓度下闪存读电流与漏极电压的关系如图 4.16 所示, 从图中可以看出, 在其他条件不变的情况下, 字线下衬底的硼掺杂会直接影响字线的阈值电压, 从而影响其读电流。闪存单元的读阈值电压会随着硼注入浓度的增加而增加, 从而导致读电流的减小。

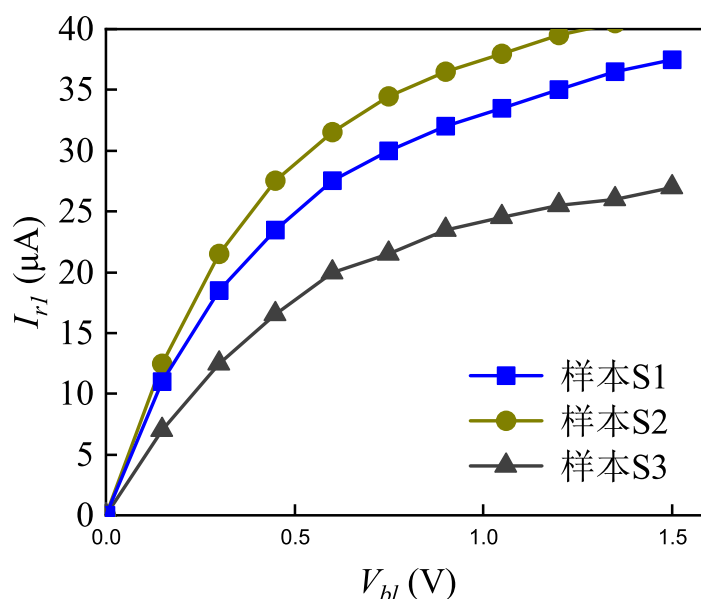


图 4.16 不同 MW 浓度下读电流曲线

Figure 4.16 Read current curves at different MW concentrations

(b) POC 浓度对“1”电流的影响

Pocket 则是以一定角度注入进字线下衬底表面的且与衬底同型的掺杂, 它的注入也会影响字线下的杂质分布, 在一定程度上加浓了硼离子浓度。三种不同 POC 硼离子注入浓度下闪存单元的读电流曲线如图 4.17 所示, 从图中可以观察到, 在其他条件相同的情况下, POC 浓度会影响字线的掺杂电压, 浓度越大阈值电压越大, 其“1”电流也就越小。这种现象产生的原因不主要是由于浓度差, 还由于不同浓度下硼离子扩散范围不同有关。浓度低时扩散至字线范围小, 浓度高时扩散到字线下范围大, 进一步影响了读取电流。

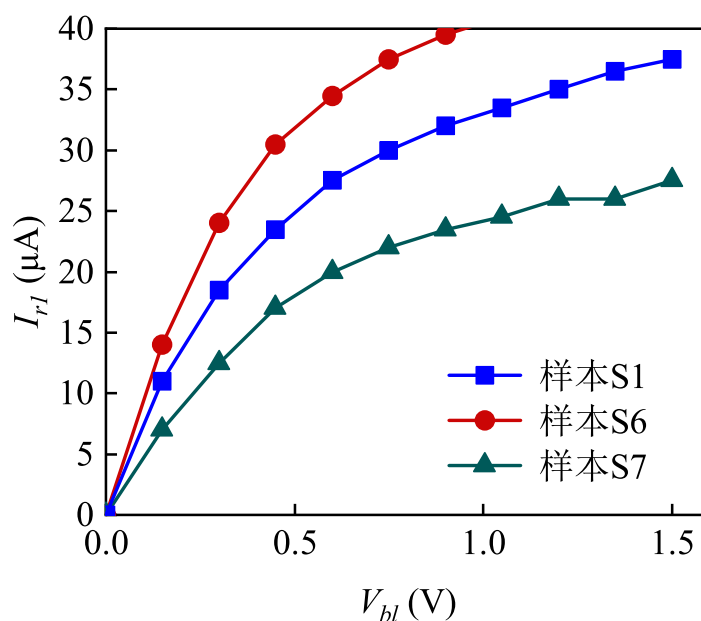


图 4.17 不同 POC 浓度下读电流曲线

Figure 4.17 Read current curves at different POC concentrations

(c) LDD 浓度对“1”电流的影响

LDD 在本结构中承担了连接字线与位线的作用，避免下方产生高阻区，它也会扩散到字线下。但与上面两种因素不同的是，LDD 注入为与衬底反型的离子砷，它的扩散会反向调节阈值电压。三种不同 LDD 砷离子注入浓度下的闪存单元读电流曲线，如图 4.18 所示，从中可以观察到，LDD 浓度与电流大小成正比，这同样也是受两种因素影响：一方面，砷离子浓度的增加使得 LDD 扩散范围加大，占据了更多的 POC 掺杂区域；另一方面，浓度更高的砷会使得更多的硼离子被中和，从而降低了阈值电压。但同时对比三张图可以发现，较其他两种注入过程而言，LDD 注入对阈值电压影响是最小的，这是因为 LDD 主要扩散区域在漏结旁，即字线侧墙下的衬底表面，所以对字线下沟道的影响是十分有限的。

根据研究结果可以得出如下结论：通过降低硼阱浓度可以有效地降低字线阈值电压，但是该方法会导致字线对沟道的控制效果降低，同时还会导致浮栅的阈值电压下降，增加了漏电流，从而增加了发生串扰的风险。尽管通过增加 LDD 浓度也能有效地降低字线阈值电压，但是改善效果不是很明显，而且高 LDD 浓度会减弱其原有的作用。因此，在改变沟道掺杂之外，通过调节 POC 浓度和改变注入角度等方式来调整字线阈值电压更为实用和可行。

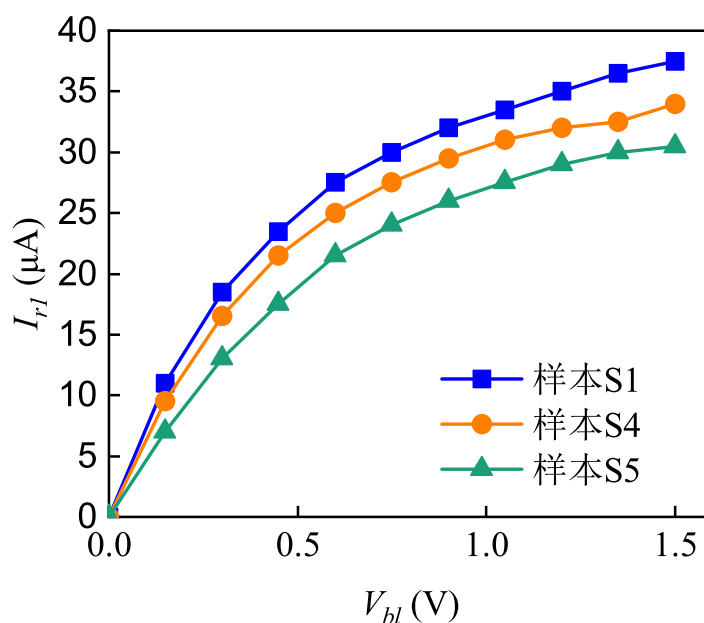


图 4.18 不同 LDD 浓度下读电流曲线

Figure 4.18 Read current curves at different LDD concentrations

4.2.4 源结掺杂分布与击穿电压关系

在本文新提出的低阈值电压闪存单元结构中，两个位单元共享一个擦写栅和一个源结。源结运用了两种与衬底反型的离子进行掺杂，分别是高浓度得砷和低浓度的磷。源结的作用主要有两方面，一个是与衬底形成反向 PN 结，使得该场效应管沟道可以形成；另一个重要的作用就是在编程时向浮栅耦合正向电位，使得浮栅能与其下方衬底形成足够强的正向电场，以此来激发源端热载流子注入效应进行编程。此源结用于编程耦合的电压达 6.5V，所以源结的掺杂需要保证需要保证它能在这个电压下正常工作而不击穿。击穿发生的概率是电场强度或耗尽区宽度的函数，如下式^[68]：

$$P = \exp\left[-\frac{4}{3\hbar}\sqrt{2m_{dn}E_g}\Delta x\right] \quad \dots (4.1)$$

式中， Δx 是隧道长度，即耗尽区宽度， \hbar 为约化普朗克常数， m_{dn} 为电子有效质量， E_g 为禁带宽度。

即耗尽区越窄击穿电压越低。这是由于在相同外界电压下，耗尽区越窄，其

产生的电场强度越强导致的。而耗尽区宽度与浓度有如下关系：

$$W = W_n + W_p = \sqrt{\frac{2\epsilon_r\epsilon_0V_0}{q} \frac{i}{N_A} \frac{i}{N_D}} \quad \dots (4.2)$$

式中， W_n 和 W_p 分别代表 N 型区和 P 型区的耗尽区宽度， ϵ_r 为半导体材料的相对介电常数， ϵ_0 为自由空间的介电常数， q 是电子携带的电荷量， N_A 和 N_D 分别代表施主浓度和受主浓度。

由式可知，耗尽区宽度与浓度的平方根成反比，且其宽度主要由重掺杂的一端决定，所以新结构采用了两种元素进行掺杂。

砷是形成源结的主要成分，为了使源结起到耦合编程电压的作用并减小源线电阻，砷的掺杂浓度很高（ 10^{15} 量级）。然而过大的浓度也会使得其离子扩散范围变大，与浮栅的重叠区域过大，使得编程时沟道难以形成，电子无法注入。源线在闪存单元的写入操作时需要耦合很高电压，高浓度的源结扩散与低浓度反型掺杂的衬底间会形成单边突变结，其耗尽区宽度会很窄，导致其击穿电压较低，易造成击穿。而磷原子质量较砷小，且流动性强，扩散范围更大，所以磷的注入可以使得源结外围与 P 型衬底的交界处扩散出一圈低浓度的反型掺杂，形成了一个缓变结，这样可以提升击穿电压，如图 4.15 所示。

由于磷质量轻，扩散性强，所以其注入剂量对扩散形貌和 BV 的影响较砷大。具有不同的磷注入剂量量级的样本及仿真测量得到的 BV 如表 4.2 所示。

表 4.2 磷注入剂量与击穿电压和有效沟道长度关系

Table 4.2 The effect of P concentration on BV and effective channel length

磷 P 注入剂量 (cm^{-3})	击穿电压仿真值 (V)	FG 与源端重叠范围 (μm)
1E14	7.698	0.11
1E13	7.381	0.081
1E12	7.025	0.081

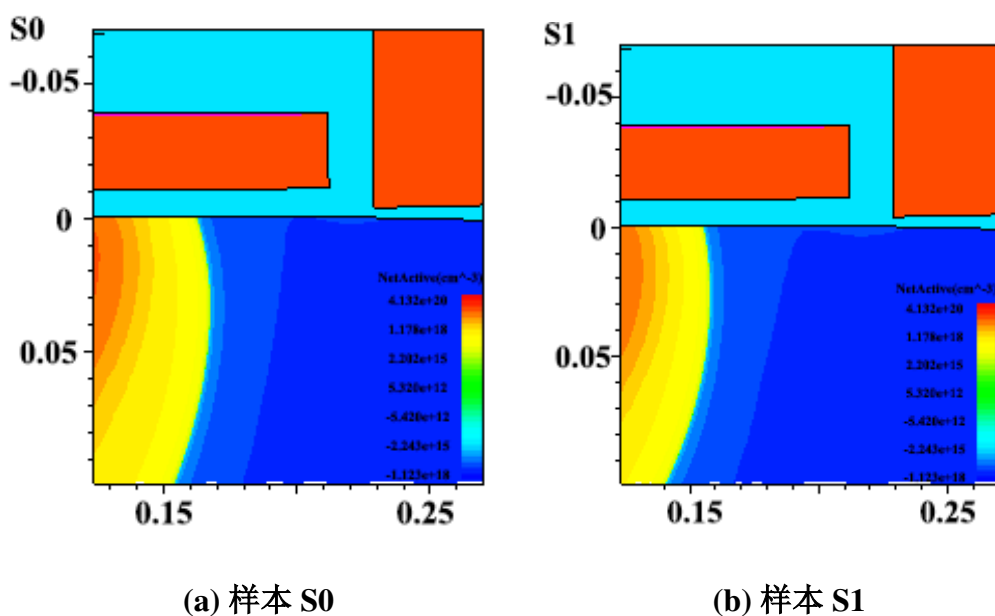
由表可知，BV 和 VSS 与 FG 的重叠长度都随着磷注入剂量的减小而减小。其中， 10^{13} 量级的磷注入可得到较高的 BV 和合适的重叠长度。但实际上，由于仿真时不能考虑到实际流片时的所有因素，所以仿真结果仅能作为大致趋势的参考，具体数值仍由实际量测结果决定。

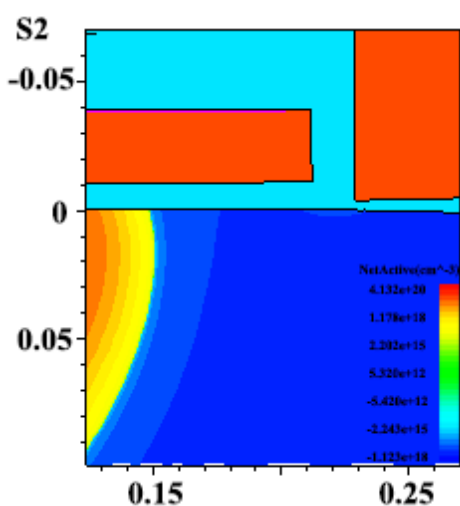
为了全面考虑磷和砷的注入剂量和能量在掺杂时对形貌的影响，在考虑了上述仿真数据的基础上，选取砷和磷不同浓度的样本 10 组样本进行仿真，得到的有效沟道长度和掺杂形貌分别如表 4.3 和图 4.19 所示。

表 4.3 源结注入仿真样本集

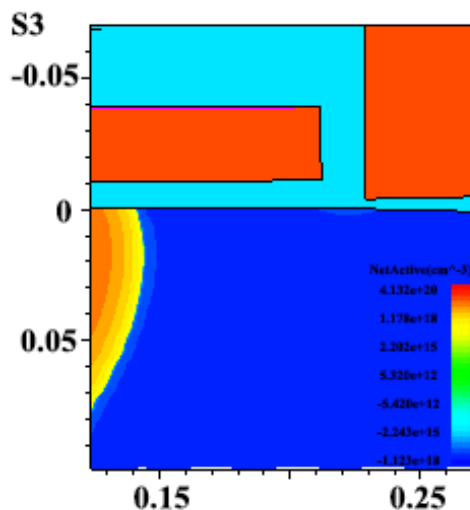
Table 4.3 The simulation sample set with different dopants conditions of source junction

样品组别	磷（能量+浓度）	砷（能量+浓度）	有效沟道长度（ μm ）
S0	15KeV+7E13cm ⁻³	15KeV+3E15cm ⁻³	0.127
S1	10KeV+5E13cm ⁻³	15KeV+3E15cm ⁻³	0.136
S2	2KeV+8E13cm ⁻³	15KeV+3E15cm ⁻³	0.1434
S3	0	15KeV+3E15cm ⁻³	0.15
S4	10KeV+5E13cm ⁻³	10KeV+2E15cm ⁻³	0.144
S5	2KeV+8E13cm ⁻³	10KeV+2E15cm ⁻³	0.1474
S6	0	10KeV+2E15cm ⁻³	0.158
S7	10KeV+5E13cm ⁻³	5KeV+3E15cm ⁻³	0.138
S8	2KeV+8E13cm ⁻³	5KeV+3E15cm ⁻³	0.139
S9	0	5KeV+3E15cm ⁻³	0.148

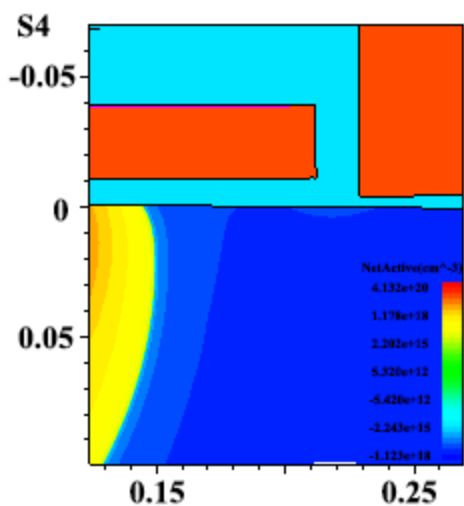




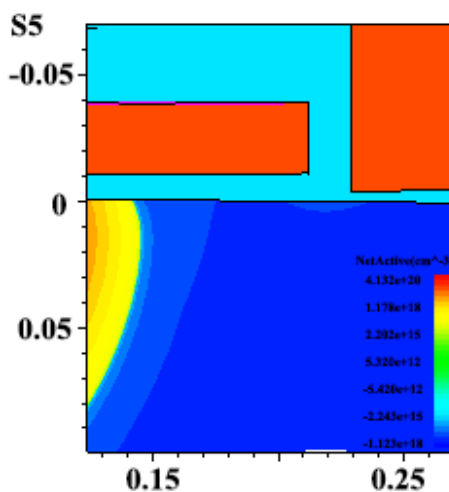
(c) 样本 S2



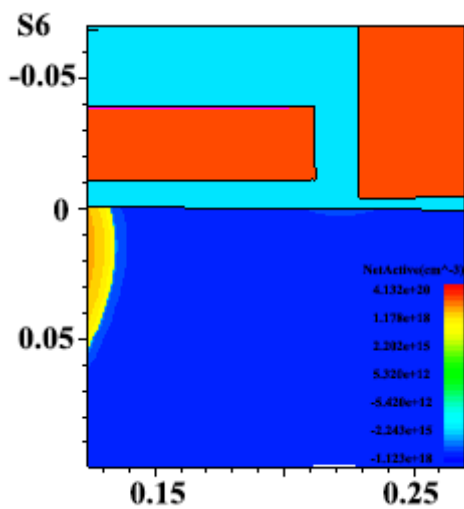
(d) 样本 S3



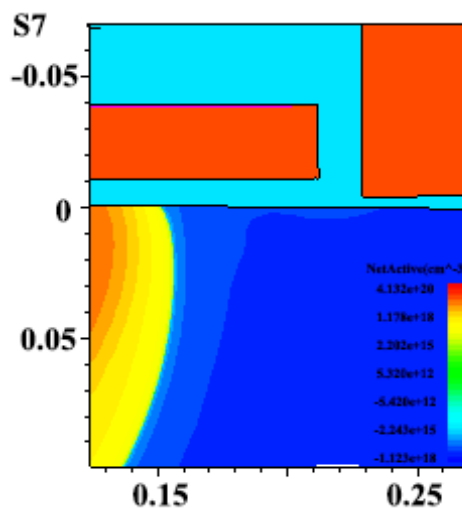
(e) 样本 S4



(f) 样本 S5



(g) 样本 S6



(h) 样本 S7

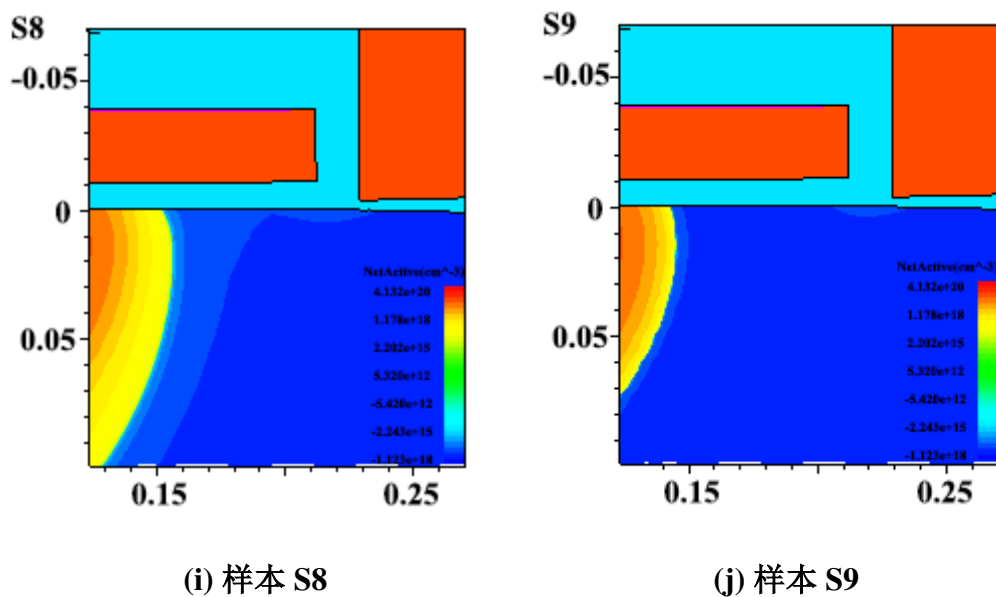


图 4.19 不同 P 和 As 注入条件下的掺杂形貌

Figure 4.19 The effect of P or As concentration on doping profile

理论上，掺杂的深度与离子注入时的深度呈正相关。对比样本 S3 和 S9 即可以发现，在砷和磷掺杂浓度相同的情况下，源结扩散深度随着注入能量的增大而加深。以 S3 和 S9 为例，二者均为添加磷，在砷浓度相同的情况下，以 15KeV 能量注入的源结扩散至衬底表面以下近 0.08 μm 处，而以 5KeV 注入的砷扩散至衬底表面下约 0.07 μm 处。而样本 S1 和 S7 的结深度差异并没有 S3 和 S9 那样明显，但中间高掺杂区的深度依旧有一些差异。这是由于磷原子质量较砷原子轻，扩散性强，在高温热退火的激活过程中会重新排布，这一过程削弱了注入能量对磷扩散形貌的影响。

样本 S0, S1, S2, S3 则展示了磷注入的能量与剂量同时作用下的源结形貌变化，从中发现两点：一方面，磷注入能量的大小影响了结扩散的深度，如图 4.19 所示，磷注入的能量依次降低，其扩散外围深度也逐渐减小。而中间重掺杂区的位置几乎没发生改变，这是由于这几个样本砷注入的能量和剂量是相同的。另一方面，对比这四个样本，其耗尽区宽度随注入磷浓度的增加而降低，样本 S1 耗尽区宽度最大，在衬底表面处甚至已经扩散到了字线下；而样本 S3 耗尽区极窄，这也揭示了源结加用磷掺杂的另一原因，即减小源结外圈浓度，进而增加 BV 以适应源结的高压需求。

砷注入条件相同情况下不同磷注入条件的载流子浓度的分布如图 4.20 所示。

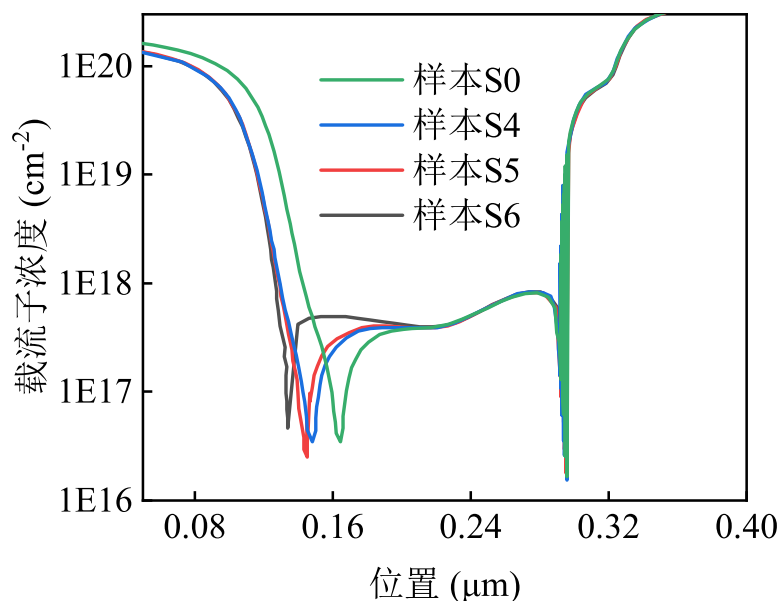


图 4.20 载流子浓度的分布

Figure 4.20 The net doping concentration

从此图我们可以明显看出， $8\text{E}13\text{cm}^{-3}$ 浓度的磷注入后，源结与衬底之间的浓度差最低，且梯度变化最缓，耗尽区最宽；而不掺杂磷的样本的情况则截然相反，其与衬底浓度差异大，且中间低浓度区域不足 $0.01\mu\text{m}$ 。

为了充分考虑实际上工艺对以上结论的影响，在最优的注入能量下进行了实测实验，选用的砷和磷掺杂浓度不同的样品如表 4.4 所示。

表 4.4 源结注入实测样本集

Table 4.4 The experiment sample set with different dopants conditions of source junction

样品组别	注入能量 (KeV)	砷 As 浓度 (cm^{-3})	磷 P 注入浓度 (cm^{-3})
S1	15	$3.0\text{E}15$	$7.0\text{E}13$
S2	15	$3.0\text{E}15$	$5.0\text{E}13$
S3	15	$3.0\text{E}15$	$3.0\text{E}13$
S4	15	$5.0\text{E}15$	$7.0\text{E}13$
S5	15	$6.0\text{E}15$	$7.0\text{E}13$

本次实验选择了沟道长度及形貌符合条件的样本进行了 WAT 进行了五点测试（每片晶圆/样本选取 5 个 die 进行测试），收取其击穿电压 BVDS（100nA 限流值）均值如图 4.21 所示。

首先对比样本 S1、S4 和 S5 可以观察到，砷浓度的提升会大幅度降低了击穿电压，这是由于高浓度的砷会降低耗尽区的宽度。对比样本 S1、S2 和 S3，在砷注入浓度不变的情况下，闪存单元的击穿电压随着磷注入浓度的降低而波动变化。这是由于当源结掺杂了一定量的磷时，磷质量轻，扩散性强，提高磷掺杂的浓度会使其扩散范围更广，浓度梯度变化更大，从而大幅度增加了耗尽区宽度，使得源结击穿电压得以提升。然而当磷过量后，磷扩散至浮栅下沟道太多，导致阱隔离性变差，致使沟道漏电。实验结果与理论分析和仿真结果均相符合。

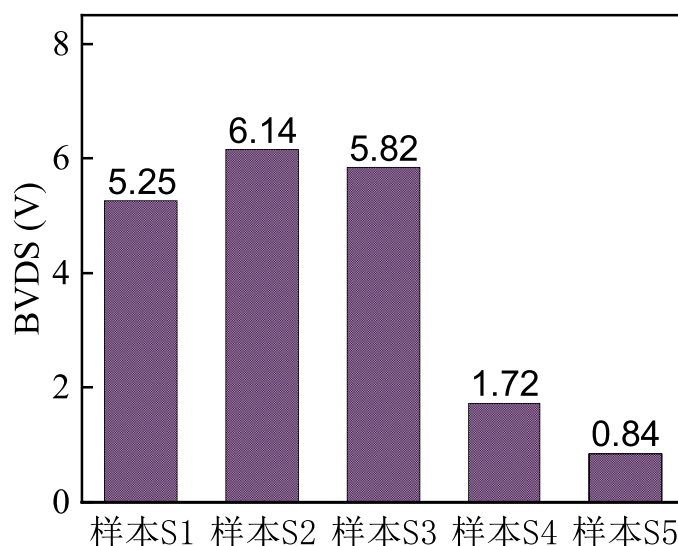


图 4.21 不同样本对应击穿电压的 WAT 测试均值

Figure 4.21 The average WAT values of BVDS of each collection of samples

值得注意的是，即使过量提升磷浓度也并没有像提升砷浓度一样大幅度地改变阈值电压，这是由于源结本身的特性受到高浓度注入的主导。由表 4.4 可以看出，砷注入的浓度比磷大了两个量级，所以源结特性首先受到砷浓度的直接影响。这也说明了提升磷浓度导致的击穿电压变低的机理与砷浓度影响的机理不同。以上结论说明了在源结砷注入时进行一定量磷掺杂对提升击穿电压的有效性的有效性与实用性，但受到上述重叠区域因素的制约，磷浓度不能无限制增

加。如果持续增加磷浓度，当磷为源结主掺杂元素时，其 BV 便会随其注入浓度增加而降低。以上结论对闪存在实际制造过程中的工艺参数的调整与优化具有重要意义。

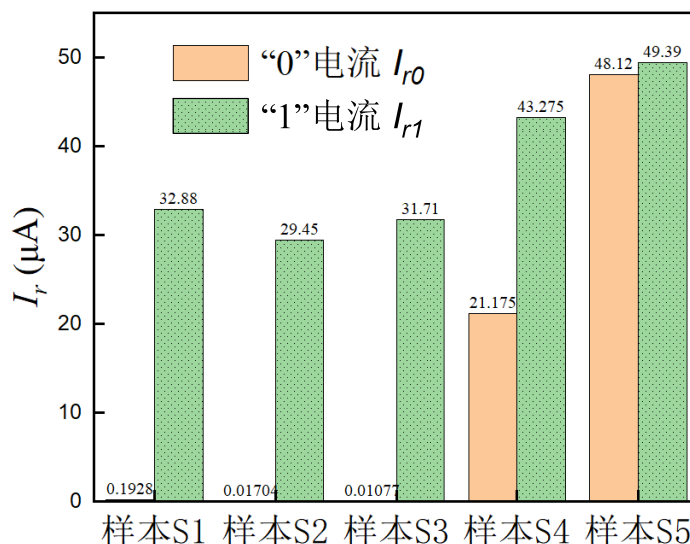


图 4.22 不同样本集的读电流均值

Figure 4.22 The average read current of each collection of samples

本实验还在读电压偏置的条件下测量了这 5 个样本的读“1”电流和读“0”电流，如图 4.22 所示。对比样本 S1、样本 S2 和样本 S3 可以观察到，这三个样本的读取指标整体上均正常，磷掺杂的降低了“0”电流，虽然对“1”电流也有一些影响，但并不足以使其脱离读取判决的标准线。可见，通过加磷的掺杂可以在不显著影响读取的情况下提升击穿电压；而对比样本 S1、S4 和 S5，在相同读电压偏置下，“0”电流大幅增加，以至于约等于“1”电流。这种现象也是由两种原因引发：一是由于编程时，砷的过重掺杂时的源结直接击穿，导致很大一部分热电子未能注入浮栅，而从源漏通道及源线流出；二是在读取时，重掺杂的源结增强了沟道读取时电场，使字线阈值电压降低。如图 4.23 所示，样本 S4 和 S5 读取阈值时远低于正常值，甚至为负。编程强度不深和读取阈值下降两种情况共同作用，使得“0”单元即使不加偏置也能检出电流，而“1”单元在读电压相同情况下读电流大幅增加，这一点也是样本 S4 和 S5 整体高于 S1 和 S2 的原因。这也证明了在闪存单元制造时，应尽量提高源结掺杂的磷砷浓度比，虽然磷

浓度过高超过一定临界值，也会使得击穿电压下降，但同时考虑到上节所述有效沟道长度量测条件的制约，磷浓度的掺杂并不会超过这一临界值。

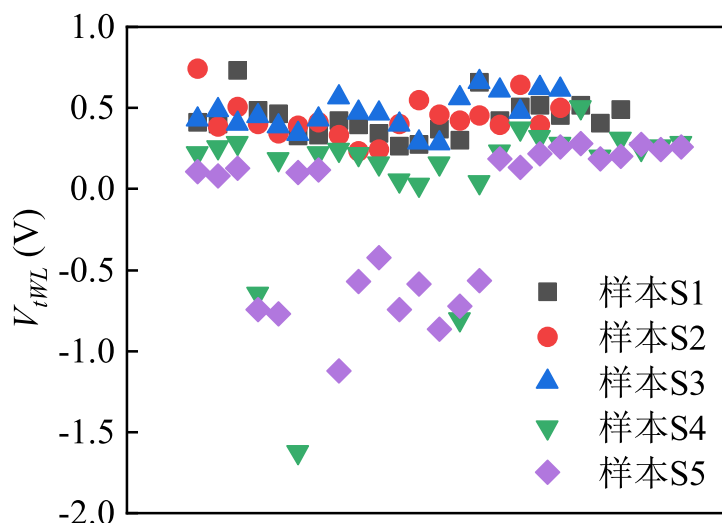


图 4.23 5 个样本所有点的字线阈值电压分布

Figure 4.23 The threshold voltage distribution of all dies tested in 5 samples

对于样本 S1、S2 和样本 S3、S4，我们可以观察到，高浓度的砷会增大电流，同时降低了击穿电压，而高浓度的磷则会有效减小电流，增大击穿电压。在其他条件不变的情况下，该闪存单元源结的击穿电压随砷浓度的升高而降低，随着磷浓度的升高而升高，这验证了上述仿真结果，也证明了在闪存单元制造时，应尽量提高源结掺杂的磷砷浓度比。虽然磷浓度过高超过一定临界值，也会使得击穿电压下降，但同时考虑到上节所述有效沟道长度量测条件的制约，磷浓度的掺杂并不会超过这一临界值。

4.3 本章小结

本章整体介绍了该新结构闪存单元的工艺流程和参数研究。

本章首先简要介绍了新结构制造中涉及的主要工艺步骤，包括 STI、光刻、离子注入和超浅结，概况分析了它们的概念、用途以及其参数对闪存的电学参数和可靠性的影响。之后设计了该闪存新结构制造的自对准工艺流程，并详细分析

了每一个步骤中的具体细节，还设计了字线端头的引出方式来降低电阻。

之后本章在基于仿真的基础上，制造流片了具有不同工艺参数的几十个样本，详细研究了工艺参数对新结构性能的影响。其中版图规划和光刻参数会对源线互连 H-bar 的形成情况有影响。在版图方面，ACT 与 H-bar 距离和 H-bar 设计宽度均对光刻后形貌有直接影响，而光刻的焦深和能量同样至关重要。在字线下掺杂方面，其阈值电压和“1”电流读窗口由三种掺杂因素共同决定，分别是 MW，POC 和 LDD。其中高浓度的 LDD，低浓度的 MW 和 POC 对有利于低阈值电压读取，提升读窗口，但会增加漏电流和源漏穿通风险，削弱了可靠性；此外，后面介绍的源结重掺杂也对字线阈值产生了很大影响。在源结的形成方面，高浓度集中的砷和大范围扩散的磷同时注入可以在满足耦合电压的基础上提升 BVDS，增强了闪存性能。但磷如果浓度过多则会与浮栅有大范围重叠，阻碍了电子的注入，反而降低 BVDS。高浓度的砷则会直接使得器件无法正常工作。这些研究结论对闪存制造工艺参数的优化与提升具有重要意义。

第5章 总结与展望

5.1 工作内容及创新点

本文主要设计并研究了一种新型的分栅闪存单元，与传统单元相比，该新单元在不新增控制栅的情况下通过新增擦写栅与减薄字线耦合氧化层的形式降低了字线阈值电压，其读取时不再需要通过外围电荷泵增压，而可以直接利用外围驱动电压进行低电压读取，该结构已在华虹宏力 $0.11\mu\text{m}$ 工艺平台上流片并测试，本文还对其阵列的设计、源线的引出方式、操作条件的优化、工艺参数的提升等方面通过仿真配合实测的方式进行了充分的研究，主要工作内容和创新点具体如下：

(1) 设计了一种新型的具有低阈值电压的三栅分栅闪存单元结构，实现了两种具有不同浮栅形貌的方案，并进行了电学参数的测试。测试结果表明，新结构在 1.5V 操作电压下就可达 $25\mu\text{A}$ 以上的读取“1”电流，读取所需电压比传统单元降低了 1V ；同时，由于氧化层的减薄和字线对沟道控制能力的加强，新单元的可靠性由于传统单元，其中耐久性较传统单元提升了 30% ， 5ms 抗列串扰后电流变化小于 10% ， 500ms 抗行串扰后电流仅变化 2% ，而传统单元这两项指标分别变化了 30% 和 6% 。

(2) 规划了新型单元的阵列排布，并首次在三栅结构中运用了有源区直连的源线引出方式。传统的源线共享的分栅闪存存储器均可通过沉积多晶硅将源线引出，而新结构在源结上方新增了共享的擦写栅，两者在重叠位置上，所以传统的引出方式不再适用。本文新提出的方法主要在于不像传统版图规划一样将有源区间用 STI 完全隔离开来，而是在有源区之间形成有一定宽度的连通区域（即前文所述的“H-bar”），源线得以从下方接出，实际流片的结果也证明了这种方法的有效性。此外本文还研究了版图规划对源线连通情况的影响，其中，合理规划版图上源区到 H-bar 的距离对实际形成的源线形貌极其重要。

(3) 设计了一套全新的自对准工艺流程，实现了新结构中擦写栅的新增。与传统的闪存单元相比，新的工艺流程在最大限度降低成本的情况下，形成了新的擦写栅，减薄了字线氧化层。该工艺流程在 $0.11\mu\text{m}$ 节点测试，同样也适用于更先进的节点。自对准技术的运用降低了光刻成本，提升了整体结构的紧致性。

(4) 在器件结构和工艺参数两个角度上系统研究了闪存单元的源结击穿情况。在编程电压的操作偏置下，源结可能发生三种击穿，分别是源漏穿通、雪崩击穿和氧化层击穿。其中源漏穿通所需电压相对较小，发生时源线与位线电流线性上升，且基本相等，击穿后是可以恢复的；雪崩击穿所需电压高，且电流垂直上升，很短时间就会超过限流值，且大概率造成器件失效；氧化层的击穿则是由于氧化层质量相对较差引起的，发生时源端电子注入字线，大量电流从字线与源线通路流出，位线仅能检出极低的电流。通过对比实验还发现，提升位线电压可以有效增大隧穿电压，并以此优化了闪存的工艺条件。而在工艺参数上，源结采用了采用磷和砷两种元素共同注入来有效提升击穿电压，其中适当提高磷浓度对击穿电压改善的效果最为明显，在样本实验中，磷注入量的适当增加使得击穿电压提升了 17%，而过高磷浓度则会增大源结与浮栅的耦合，反而会降低击穿电压；而砷浓度过高则会大幅提升沟道电压，导致编程态与擦除态的电流无法分辨，所以适当提升磷砷注入比，对提升闪存单元可靠性具有重要意义。

(5) 全面分析了工艺参数对读“1”电流的影响。读取电流受编程深度和字线阈值影响，编程深度与编程时间和施加电压有关，而字线阈值电压则受到多种因素影响。除氧化层外，字线阈值电压直接受衬底表面掺杂浓度的影响。在常规的闪存制造中，字线阈值电压通过阱掺杂（或沟道掺杂）直接实现，而本文研究发现，源结浓度、漏结 LDD 浓度、POC 浓度均会对字线阈值产生影响，进而影响了读电流窗口。其中，提升 LDD 浓度可有效降低阈值电压，提升读电流窗口，但会使其直接扩散至字线下方，降低了字线对沟道控制能力。降低 pocket 掺杂浓度或改变其注入角度也可以有效降低字线读电压，提升读窗口，但会使上述源漏穿通的风险增加。

本文提出的新型低阈值电压闪存单元在低功耗代码存储和嵌入式存储应用等方面具有极高的实用价值，提出的新的源线连接方式对其他闪存存储器阵列的排布具有一定的参考价值，对版图与光刻参数、源端击穿电压、字线阈值电压和读电流窗口的充分研究对闪存的制造工艺提升和参数优化上均具有重要意义。

5.2 后续工作展望

本文的研究还可以在以下两方面予以完善：

(1) 先进技术节点的适用性待验证。本文所有的实验样本均基于 $0.11\mu\text{m}$ 平

台制造，器件所受到的短沟道效应的限制有限。但随着技术节点的升级，浮栅与其下沟道长度的不断微缩对电学参数和工艺参数的调节都可能会带来新的影响。在电学上，短沟道会带来阈值电压的变化，从而影响闪存的读电流窗口，穿通机理也会更加复杂，而从工艺上，沟道缩短会使得源结、LDD、pocket 等掺杂对器件特性的影响更难控制等，未按比例缩小字线氧化层厚度可能会带来可靠性问题，所以在高技术节点平台上进行实验和完善十分必要。

(2) 浮栅状态及耦合电容的影响应予以考虑。浮栅状态即是浮栅被编程的程度大小，或者说是电子被存入的量的多少。本文在理论分析时，假定了“0”单元中自由电子足够多，使得沟道完全无法导通，“1”单元中自由电子足够少从而没有浮栅电流的影响。但实际上，未充分编程的“0”单元会带来亚阈值电流的影响，擦除不充分的“1”单元则可能存在由浮栅到其他栅极的泄露电子流，而这个电流与其他栅极对浮栅的耦合比有关。在定性分析时，这些问题并不影响本文每项研究得出的结论，但在后续定量计算时，上述问题应予以考虑。

参考文献

- [1] LIANG S, QIAO Z, TANG S, et al. An Empirical Study of Quad-Level Cell (QLC) NAND Flash SSDs for Big Data Applications[C]//2019 IEEE International Conference on Big Data (Big Data): 3676-3685. DOI: [10.1109/BigData47090.2019.9006406](https://doi.org/10.1109/BigData47090.2019.9006406).
- [2] JACKSON R, GRESL J, LAWRENCE R. Efficient External Sorting for Memory-Constrained Embedded Devices with Flash Memory[J]. ACM Transactions on Embedded Computing Systems, 2021, 20(4): 1-21. DOI: [10.1145/3446976](https://doi.org/10.1145/3446976).
- [3] YAMAUCHI T, YAMAGUCHI Y, KONO T, et al. Embedded flash technology for automotive applications[C]//2016 IEEE International Electron Devices Meeting (IEDM): 28.6.1-28.6.4. DOI: [10.1109/IEDM.2016.7838501](https://doi.org/10.1109/IEDM.2016.7838501).
- [4] SANDELL M, ISMAIL A. Machine Learning for LLR Estimation in Flash Memory With LDPC Codes[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(2): 792-796. DOI: [10.1109/TCSII.2020.3016979](https://doi.org/10.1109/TCSII.2020.3016979).
- [5] LIN Y Y, LEE F M, LEE M H, et al. A Novel Voltage-Accumulation Vector-Matrix Multiplication Architecture Using Resistor-shunted Floating Gate Flash Memory Device for Low-power and High-density Neural Network Applications[C]//2018 IEEE International Electron Devices Meeting (IEDM): 2.4.1-2.4.4. DOI: [10.1109/IEDM.2018.8614688](https://doi.org/10.1109/IEDM.2018.8614688).
- [6] YEOH B L, THOR M H, GAN L S, et al. Case Studies: Masked read-only memory failure fault isolation without bitmapping[Z]. Conference Paper. 2021. DOI: [10.1109/ipfa53173.2021.9617404](https://doi.org/10.1109/ipfa53173.2021.9617404).
- [7] CHOW W T. Storage Matrix: US705555A[P]. 1957.
- [8] KULKARNI S H, CHEN Z, HE J, et al. High-density 3-D metal-fuse PROM featuring 1.37 μm^2 1T1R bit cell in 32nm high-k metal-gate CMOS technology[C]//2009 Symposium on VLSI Circuits: 28-29.
- [9] KAHNG D, SZE S M. A floating gate and its application to memory devices[J]. The Bell System Technical Journal, 1967, 46(6): 1288-1295. DOI: [10.1002/j.1538-7305.1967.tb01738.x](https://doi.org/10.1002/j.1538-7305.1967.tb01738.x).
- [10] FROHMAN-BENTCHKOWSKY D. A fully decoded 2048-bit electrically programmable FAMOS read-only memory[J]. IEEE Journal of Solid-State Circuits, 1971, 6(5): 301-306. DOI: [10.1109/JSSC.1971.1050191](https://doi.org/10.1109/JSSC.1971.1050191).

- [11] LIN H, TIWARI S. A Novel Dual-Polarity Nonvolatile Memory[J]. IEEE Electron Device Letters, 2007, 28(5): 412-415. DOI: [10.1109/led.2007.895455](https://doi.org/10.1109/led.2007.895455).
- [12] TARUI Y, HAYASHI Y, NAGAI K. Electrically reprogrammable nonvolatile semiconductor memory[J]. IEEE Journal of Solid-State Circuits, 1972, 7(5): 369-375. DOI: [10.1109/JSSC.1972.1052895](https://doi.org/10.1109/JSSC.1972.1052895).
- [13] HARARI E, Irvine, Calif. Electrically Erasable Non-Volatile Semiconductor Memory: US770346[P]. 1977.
- [14] JOHNSON W, PERLEGOS G, RENNINGER A, et al. A 16Kb electrically erasable non-volatile memory[C]//1980 IEEE International Solid-State Circuits Conference. Digest of Technical Papers: vol. XXIII: 152-153. DOI: [10.1109/ISSCC.1980.1156030](https://doi.org/10.1109/ISSCC.1980.1156030).
- [15] MASUOKA F, ASANO M, IWAHASHI H, et al. A new flash E2PROM cell using triple polysilicon technology[C]//1984 International Electron Devices Meeting: 464-467. DOI: [10.1109/IEDM.1984.190752](https://doi.org/10.1109/IEDM.1984.190752).
- [16] WEGENER H A R, LINCOLN A J, PAO H C, et al. The variable threshold transistor, a new electrically-alterable, non-destructive read-only storage device[C]//1967 International Electron Devices Meeting: 70-70. DOI: [10.1109/IEDM.1967.187833](https://doi.org/10.1109/IEDM.1967.187833).
- [17] LE GALLO M, SEBASTIAN A. An overview of phase-change memory device physics[J]. Journal of Physics D: Applied Physics, 2020, 53(21): 213002. DOI: [10.1088/1361-6463/ab7794](https://doi.org/10.1088/1361-6463/ab7794).
- [18] JIN Y, SHIHAB M, JUNG M. Area, power, and latency considerations of STT-MRAM to substitute for main memory[C]//Proc. ISCA.
- [19] SHEN Z, ZHAO C, QI Y, et al. Advances of RRAM Devices: Resistive Switching Mechanisms, Materials and Bionic Synaptic Application[J]. Nanomaterials (Basel), 2020, 10(8). DOI: [10.3390/nano10081437](https://doi.org/10.3390/nano10081437).
- [20] ZAHOOR F, AZNI ZULKIFLI T Z, KHANDAY F A. Resistive Random Access Memory (RRAM): an Overview of Materials, Switching Mechanism, Performance, Multilevel Cell (mlc) Storage, Modeling, and Applications[J]. Nanoscale Res Lett, 2020, 15(1): 90. DOI: [10.1186/s11671-020-03299-9](https://doi.org/10.1186/s11671-020-03299-9).
- [21] 王越飞. 新型半导体非易失性存储模式的物理机制及器件研究 [D]. 2015.
- [22] BANERJEE W. Challenges and Applications of Emerging Nonvolatile Memory Devices[J]. Electronics, 2020, 9(6). DOI: [10.3390/electronics9061029](https://doi.org/10.3390/electronics9061029).

- [23] YAMAUCHI Y, KAMAKURA Y, MATSUOKA T. Scalable Virtual-Ground Multilevel-Cell Floating-Gate Flash Memory[J]. IEEE Transactions on Electron Devices, 2013, 60(8): 2518-2524. DOI: [10.1109/TED.2013.2270565](https://doi.org/10.1109/TED.2013.2270565).
- [24] WANG Z S, HUANG W S, CHEN C Y, et al. Improvement of Bottom Oxide Thickness Scaling of Inter-Poly Dielectric by Floating Gate Top Plasma Nitridation[J]. IEEE Electron Device Letters, 2014, 35(2): 190-192. DOI: [10.1109/LED.2013.2292493](https://doi.org/10.1109/LED.2013.2292493).
- [25] BOHARA P, VISHVAKARMA S K. Self-Amplified Tunneling-Based SONOS Flash Memory Device With Improved Performance[J]. IEEE Transactions on Electron Devices, 2018, 65(10): 4297-4303. DOI: [10.1109/TED.2018.2865577](https://doi.org/10.1109/TED.2018.2865577).
- [26] JI H, WEI Y, MA P, et al. Improvement of Charge Injection by Using Separated SiN as Charge Trapping Layer in MONOS Charge Trap Flash Memory[J]. IEEE Journal of the Electron Devices Society, 2018, 6: 81-84. DOI: [10.1109/JEDS.2017.2771956](https://doi.org/10.1109/JEDS.2017.2771956).
- [27] SHEN Y S, CHEN K Y, CHEN P C, et al. Flash Memory Featuring Low-Voltage Operation by Crystalline ZrTiO₄ Charge-Trapping Layer[J]. Scientific Reports, 2017, 7(1): 43659. DOI: [10.1038/srep43659](https://doi.org/10.1038/srep43659).
- [28] KE P H, LI J T, HOU G T, et al. Charge Storage and Variable Temperature Data Retention Characteristics of Nitrided Titanium Oxide Nonvolatile Memory Device[J]. IEEE Electron Device Letters, 2016, 37(3): 276-279. DOI: [10.1109/LED.2016.2518708](https://doi.org/10.1109/LED.2016.2518708).
- [29] CHIU Y Y, SHIROTA R. Technique for Profiling the Cycling-Induced Oxide Trapped Charge in NAND Flash Memories[J]. Electronics, 2021, 10(20). DOI: [10.3390/electronics10202492](https://doi.org/10.3390/electronics10202492).
- [30] BOLOMYTI E, GLEZOS N, DIMITRAKIS P, et al. Charge retention analysis of Si implanted and wet oxidized SONOS structures[J]. Microelectronic Engineering, 2016, 159: 75-79. DOI: <https://doi.org/10.1016/j.mee.2016.02.038>.
- [31] KAWASHIMA Y, HASHIMOTO T, YAMAKAWA I. Investigation of the data retention mechanism and modeling for the high reliability embedded split-gate MONOS flash memory [C] // 2015 IEEE International Reliability Physics Symposium: MY.6.1-MY.6.5. DOI: [10.1109/IRPS.2015.7112809](https://doi.org/10.1109/IRPS.2015.7112809).
- [32] PARK S, SEO T, JEON C, et al. Defect generation in a data-storage layer by strong ion bombardment for multilevel non-volatile memory applications[J]. Materials Today Nano, 2022, 19: 100226. DOI: <https://doi.org/10.1016/j.mtnano.2022.100226>.
- [33] PARAT K, GODA A. Scaling Trends in NAND Flash[C] // 2018 IEEE International Electron Devices Meeting (IEDM): 2.1.1-2.1.4. DOI: [10.1109/IEDM.2018.8614694](https://doi.org/10.1109/IEDM.2018.8614694).

- [34] SHIM W, YU S. Technological Design of 3D NAND-Based Compute-in-Memory Architecture for GB-Scale Deep Neural Network[J]. IEEE Electron Device Letters, 2021, 42(2): 160-163. DOI: [10.1109/LED.2020.3048101](https://doi.org/10.1109/LED.2020.3048101).
- [35] GIACOMIN E, CATTLOOR F, GAILLARDON P E. Area-Efficient Multiplier Designs Using a 3D Nanofabric Process Flow[C]//2021 IEEE International Symposium on Circuits and Systems (ISCAS): 1-5. DOI: [10.1109/ISCAS51556.2021.9401685](https://doi.org/10.1109/ISCAS51556.2021.9401685).
- [36] PARK S, LEE J, JANG J, et al. Highly-Reliable Cell Characteristics with 128-Layer Single-Stack 3D-NAND Flash Memory[C]//2021 Symposium on VLSI Technology: 1-2.
- [37] KIM D H, KIM H, YUN S, et al. 13.1 A 1Tb 4b/cell NAND Flash Memory with tPROG=2ms, tR=110 μ s and 1.2Gb/s High-Speed IO Rate[C]//2020 IEEE International Solid-State Circuits Conference - (ISSCC): 218-220. DOI: [10.1109/ISSCC19947.2020.9063053](https://doi.org/10.1109/ISSCC19947.2020.9063053).
- [38] VERRECK D, ARREGHINI A, den BOSCH G V, et al. An inner gate as enabler for vertical pitch scaling in macaroni channel gate-all-around 3-D NAND flash memory[J]. Solid-State Electronics, 2023, 199: 108498. DOI: <https://doi.org/10.1016/j.sse.2022.108498>.
- [39] KIM M K, KIM I J, LEE J S. CMOS-compatible ferroelectric NAND flash memory for high-density, low-power, and high-speed three-dimensional memory[J]. Science Advances, 2021, 7(3): eabe1341. DOI: [doi:10.1126/sciadv.abe1341](https://doi.org/10.1126/sciadv.abe1341).
- [40] BREWER J E, GILL M. Nonvolatile Memory Technologies with Emphasis on Flash[M]. Wiley-IEEE Press, 2008.
- [41] CUI J, LIU C, LIU J, et al. Exploiting Uncorrectable Data Reuse for Performance Improvement of Flash Memory[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2022, 41(6): 1785-1798. DOI: [10.1109/TCAD.2021.3100310](https://doi.org/10.1109/TCAD.2021.3100310).
- [42] POUDEL P, RAY B, MILENKOVIC A. Microcontroller Fingerprinting Using Partially Erased NOR Flash Memory Cells[J]. ACM Transactions on Embedded Computing Systems, 2021, 20(3): 1-23. DOI: [10.1145/3448271](https://doi.org/10.1145/3448271).
- [43] MAHMOODI M R, STRUKOV D. An ultra-low energy internally analog, externally digital vector-matrix multiplier based on NOR flash memory technology[Z]. Conference Paper. 2018. DOI: [10.1145/3195970.3195989](https://doi.org/10.1145/3195970.3195989).
- [44] LUE H T, WANG K C, LU C Y. Introduction of 3D AND-type Flash Memory and It's Applications to Computing-in-Memory (CIM)[C]//2021 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA): 1-2. DOI: [10.1109/VLSI-TSA51926.2021.9440071](https://doi.org/10.1109/VLSI-TSA51926.2021.9440071).

- [45] LUE H T, CHEN W, CHANG H S, et al. A Novel 3D AND-type NVM Architecture Capable of High-density, Low-power In-Memory Sum-of-Product Computation for Artificial Intelligence Application[C]//2018 IEEE Symposium on VLSI Technology: 177-178. DOI: [10.1109/VLSIT.2018.8510688](https://doi.org/10.1109/VLSIT.2018.8510688).
- [46] ZAMBELLI C, OLIVO P. Characterization of the Over-Erase Algorithm in FN/FN Embedded nor Flash Arrays[J]. IEEE Transactions on Device and Materials Reliability, 2015, 15(4): 529-535. DOI: [10.1109/TDMR.2015.2478918](https://doi.org/10.1109/TDMR.2015.2478918).
- [47] TKACHEV Y, WALLS J A. The sources of erase voltage variability in split-gate flash memory cell arrays[C]//2016 IEEE International Integrated Reliability Workshop (IIRW): 8-12. DOI: [10.1109/IIRW.2016.7904890](https://doi.org/10.1109/IIRW.2016.7904890).
- [48] CHANDRAKASAN A P. Embedded Flash Memory for Embedded Systems: Technology, Design for Sub-systems, and Innovations[M]. Springer, 2018.
- [49] DO N, KIM J, LEMKE S, et al. Scaling Split-Gate Flash Memory Technology for Advanced MCU and Emerging Applications[C]//2019 IEEE 11th International Memory Workshop (IMW): 1-4. DOI: [10.1109/IMW.2019.8739270](https://doi.org/10.1109/IMW.2019.8739270).
- [50] MARKOV V, KIM J, KOTOV A. SuperFlash® Scaling Aspects: Program Disturb[C]//2016 IEEE 8th International Memory Workshop (IMW): 1-4. DOI: [10.1109/IMW.2016.7495290](https://doi.org/10.1109/IMW.2016.7495290).
- [51] DO N, YANG J W, SHENG Y J, et al. Scaling of Split-Gate Flash Memory with 1.05V Select Transistor for 28 nm Embedded Flash Technology[C]//2018 IEEE International Memory Workshop (IMW): 1-3. DOI: [10.1109/IMW.2018.8388848](https://doi.org/10.1109/IMW.2018.8388848).
- [52] 李冰寒, 王哲献, 高超, 等. 选择栅共享式分栅闪存单元特性研究 [J]. 集成电路应用, 2021, 38(5): 32-35. DOI: [10.19339/j.issn.1674-2583.2021.05.012](https://doi.org/10.19339/j.issn.1674-2583.2021.05.012).
- [53] FANG L, GU J, ZHANG B, et al. A Highly Reliable 2-Bits/Cell Split-Gate Flash Memory Cell With a New Program-Disturbs Immune Array Configuration[J]. IEEE Transactions on Electron Devices, 2014, 61(7): 2350-2356. DOI: [10.1109/TED.2014.2326975](https://doi.org/10.1109/TED.2014.2326975).
- [54] SUNG C L, LUE H T, CHEN W C, et al. First Study of P-Channel Vertical Split-Gate Flash Memory Device with Various Electron and Hole Injection Methods and Potential Future Possibility to Enable Functional Memory Circuits[C]//2021 IEEE International Memory Workshop (IMW): 1-4. DOI: [10.1109/IMW51353.2021.9439626](https://doi.org/10.1109/IMW51353.2021.9439626).
- [55] MELDE T, TRENTZSCH M, DUENKEL S, et al. Novel embedded single poly floating gate flash demonstrated in 22nm FDSOI technology[C]//2021 IEEE International Memory Workshop (IMW): 1-4. DOI: [10.1109/IMW51353.2021.9439612](https://doi.org/10.1109/IMW51353.2021.9439612).

- [56] CHANDRA Z, MUBAROKAH I, SULTHONI M A. Split-Gate Flash Memory: from Planar to 3D[C]//2021 International Symposium on Electronics and Smart Devices (ISESD): 1-5. DOI: [10.1109/ISESD53023.2021.9501739](https://doi.org/10.1109/ISESD53023.2021.9501739).
- [57] HU J, XU Z, ZHANG K, et al. Improvement of Cell's Performance for Low Power Self-Aligned Split-Gate SONOS Memory Device[C]//2019 China Semiconductor Technology International Conference (CSTIC): 1-4. DOI: [10.1109/CSTIC.2019.8755743](https://doi.org/10.1109/CSTIC.2019.8755743).
- [58] TAITO Y, KONO T, NAKANO M, et al. A 28 nm Embedded Split-Gate MONOS (SG-MONOS) Flash Macro for Automotive Achieving 6.4 GB/s Read Throughput by 200 MHz No-Wait Read Operation and 2.0 MB/s Write Throughput at T_j of 170° C[J]. IEEE Journal of Solid-State Circuits, 2016, 51(1): 213-221. DOI: [10.1109/JSSC.2015.2467186](https://doi.org/10.1109/JSSC.2015.2467186).
- [59] PARK S K, KIM S D, LEE B H. Development of 2T-SONOS Cell Using a Contamination-Free Process Integration for a Highly Reliable Code Storage eNVM[J]. IEEE Transactions on Electron Devices, 2020, 67(3): 922-928. DOI: [10.1109/TED.2020.2966501](https://doi.org/10.1109/TED.2020.2966501).
- [60] SIMON T, PING-KEUNG K, CHENMING H. Lucky-electron model of channel hot-electron injection in MOSFET'S[J]. IEEE Transactions on Electron Devices, 1984, 31(9): 1116-1125. DOI: [10.1109/T-ED.1984.21674](https://doi.org/10.1109/T-ED.1984.21674).
- [61] SHIH C H, LIANG J T, WANG J S, et al. A Source-Side Injection Lucky Electron Model for Schottky Barrier Metal - Oxide - Semiconductor Devices[J]. IEEE Electron Device Letters, 2011, 32(10): 1331-1333. DOI: [10.1109/led.2011.2162577](https://doi.org/10.1109/led.2011.2162577).
- [62] 曹杨, 习凯, 徐彦楠, 等. 55 nm 硅-氧化硅-氮化硅-氧化硅-硅闪存单元的 γ 射线和 X 射线电离总剂量效应研究 [J]. 物理学报, 2019, 68(3). DOI: [10.7498/aps.68.20181661](https://doi.org/10.7498/aps.68.20181661).
- [63] 陈晓亮, 孙伟锋. 180 nm 嵌入式闪存工艺中高压 NMOS 器件工艺加固技术 [J]. 物理学报, 2022, 71(23). DOI: [10.7498/aps.71.20221172](https://doi.org/10.7498/aps.71.20221172).
- [64] 沈阳. 55/50 nm ETOX NOR 型闪存的可靠性研究 [D]. 2021.
- [65] ZHANG W, YU T, ZHU Z, et al. Temperature-insensitive reading of a flash memory cell[J]. Journal of Semiconductors, 2023, 44(4): 044102-1. DOI: [10.1088/1674-4926/44/4/044102](https://doi.org/10.1088/1674-4926/44/4/044102).
- [66] MAITRA S. Study of the variation of the threshold voltage with the doping concentration and channel length[C]//2017 Devices for Integrated Circuit (DevIC): 388-390. DOI: [10.1109/DEVIC.2017.8073976](https://doi.org/10.1109/DEVIC.2017.8073976).
- [67] 李冰寒, 于涛. 一种低功耗高可靠性的浮栅型分栅闪存器件 [J]. 功能材料与器件学报, 2022, 28(5): 453-457. DOI: [10.20027/j.gncq.2022.0051](https://doi.org/10.20027/j.gncq.2022.0051).
- [68] 刘恩科, 朱秉升, 罗晋生. 半导体物理学 [M]. 第 7 版. 电子工业出版社, 2003.

致 谢

感谢我的导师祝智峰教授和李冰寒博士。祝老师在校内为我提供了完善的科研环境，并无时无刻不在关心我的科研进度，在生活中对我也倍加呵护，尤其在疫情期间送给了我好多吃的，其深深的学术热忱一直感染着我。李老师在闪存领域的造诣令我望尘莫及，在我于华虹宏力联合培养期间，为我确定了研究方向，百忙之中为我协调小论文发表、专利评审等相关事宜，在周末还在帮我修改论文，并耐心指导。

感谢华虹宏力集成二部的资深工程师于涛，在我于华虹宏力联合培养期间时刻关心我的科研进度，耐心解答我的各种专业问题，在我的科研及生活中都提供了不可或缺的帮助。

感谢后摩尔中心任豪老师在本论文开题、中期及评阅环节的指导，使论文日益完善；感谢后摩尔中心杨雨梦老师和东华大学的伍滨和老师对本文的评阅；感谢三位老师百忙之中出席我的答辩会并给予的专业建议；感谢答辩秘书张雪对答辩流程的推进。

感谢 **C+SMAL** 所有同学、曾经的 401 办公室所有同学和华虹宏力集成二部所有成员对我的关心。尤其感谢张利在我实习期间对我的帮助，特别感谢研究生期间结识的挚友王晴雯、王慧及室友陆宇昊对我的信任，与我分享快乐，帮我出谋划策，为我排忧解难。

感谢父母家人对我决定一如既往的支持。

学生时代的我，收获到了太多人对我的关心与包容，让我如此放肆地、自由地、散漫地在欢声中度过这近二十年的时光，在此我真诚地，一并感谢。

未来的我一定会更加优秀！

作者简历及攻读学位期间发表的学术论文与研究成果

作者简历：

2016年9月——2020年6月，在湖南师范大学获得学士学位，专业：电子信息科学与技术。

2020年9月——2023年6月，在上海科技大学攻读硕士学位，专业：电子信息科学与技术。

已发表（或正式接受）的学术论文：

Weiyan Zhang, Tao Yu, Zhifeng Zhu, Binghan Li. Temperature-insensitive reading of a flash memory cell[J]. Journal of Semiconductors, 2023, 44 (4): 044102. doi: 10.1088/1674-4926/44/4/044102

申请或已获得的专利：

张伟岩, 存储器参考电流的温度系数的调节方法, 专利申请号: 202310089446.5。

